

반도보감 Season 1

무어의 법칙은 죽었다

한계에 부딪힌 무어의 법칙과 향후 10년 반도체 시장 공략법

- 무어의 법칙의 한계
- 전자공학의 한계
- Moore 이후의 트렌드
- 투자 인사이트 Chapter 1

반도체 테크전략 강석용
02-2004-9585
kang.suk-yong@shinyoung.com





Contents

05	I . 무어의 법칙의 한계
14	II . 전자 공학의 한계
22	III . Moore 이후의 트렌드 (1) More Moore (2) More than Moore (3) SysMoore
50	IV . 투자 인사이트 Chapter 1
76	V . 결론
78	VI . Appendix

[요약] 무어 이후의 세계

“Moore’s Law’s dead...It’s completely over.”

- NVIDIA CEO Jensen Huang -

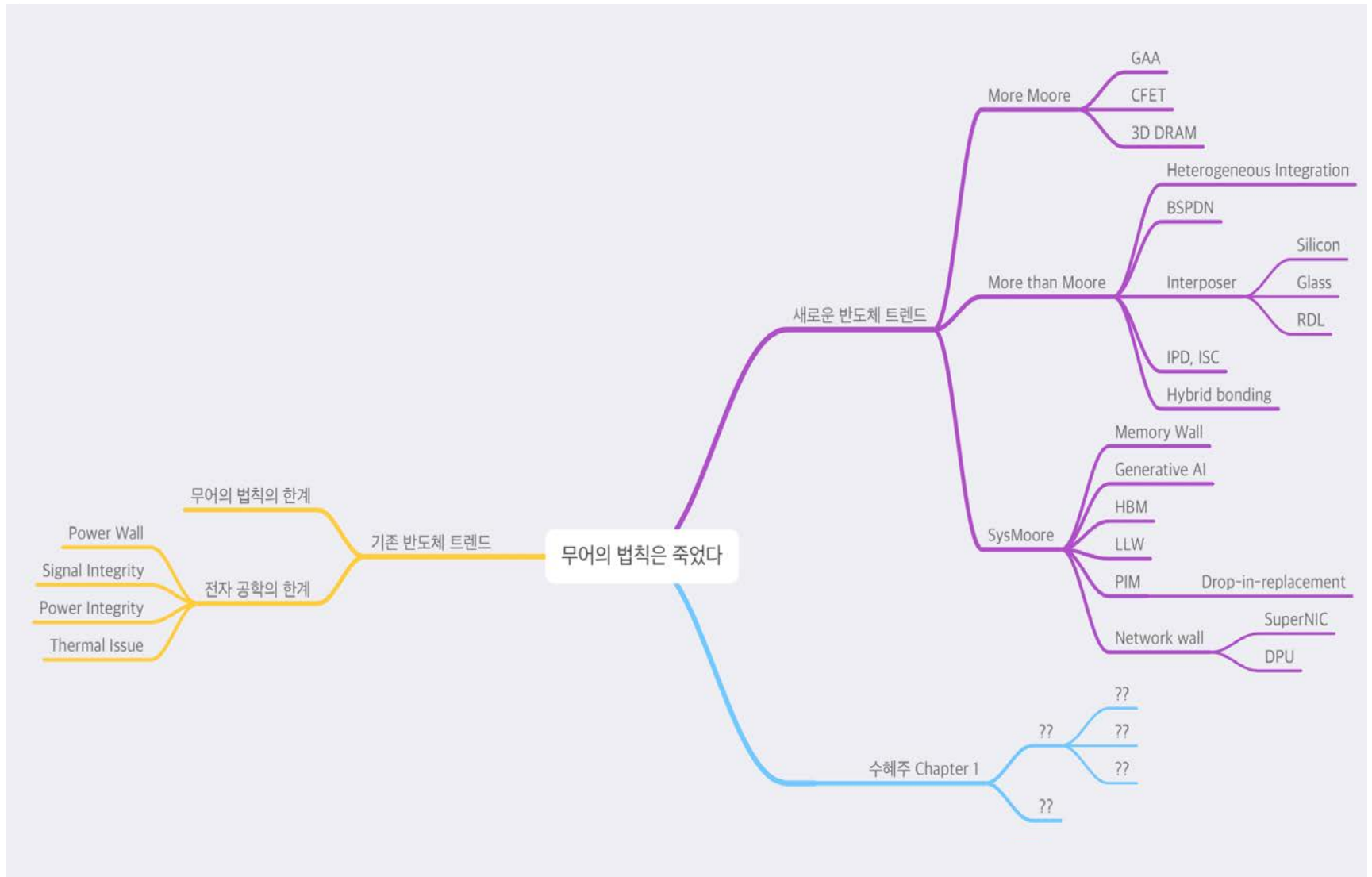
- 무어의 법칙에 따른 효익이 줄어들고 있다. 전자공학도 한계에 부딪히고 있다.
이로 인해 지금까지의 반도체 발전 공식은 이어지기 어려워지고 있다.

학부 시절 반도체시스템공학을 전공하고 10년 가까이 반도체 산업에서 엔지니어로서 일한 저는 성인이 된 이후 쫓 무어의 그늘 아래에서 살았다고 해도 무방합니다. 저는 그 그늘이 걷혀지고 있다는 것을 실감하고 있습니다. 실제로 작년에 무어의 법칙을 만드신 고든 무어께서 작고하셨습니다. 워렌 버핏이 돌아가신다면 투자자들이 비슷한 심정일까요.. 하지만 반도체 산업은 역사적으로 봤을 때 이제 시작입니다. 컴퓨터의 대중화, 스마트폰의 대중화, 클라우드 서비스의 대중화, 가상화폐에 대한 뜨거운 기대까지 모든 기술의 역사는 반도체를 중심으로 발전해 왔습니다. 이제 인공지능망을 필두로 한 AI의 시대가 오고 있습니다. 그 완전한 대중화의 시점이 정확히 언제가 될지는 아무도 모르겠지만 AI가 미래라는 데는 모두 공감하고 있는 상황입니다. 또 애플의 비전 프로가 보여주었듯이 AR, VR(또는 공간 컴퓨팅)의 시대도 대기 중입니다. 그뿐이 아닙니다. 스티브 잡스의 아이폰이 그랬듯이 아직 창의적인 엔지니어의 뇌 속에는 있지만 세상에 나오지 않은 또 다른 새로운 장르의 기술이 대중화될 것은 확실합니다. 그리고 그 발전에 반도체 기술이 함께 한다는 것 또한 확실합니다.

무어의 법칙을 넘어서고자 하는 노력들이 최근 들어 각광받고 있습니다. 그리고 실제로 무어의 법칙을 계승이라도 하듯 새로운 반도체 기술들이 발전을 이뤄내고 있습니다. 최근 사례로 HBM과 AI를 들 수 있겠습니다. 혼란스럽기도 하지만 그 혼란을 해결하기 위한 기술 발전 R&D의 시대이기도 합니다.

본 자료는 추후 10년 내외의 기간 동안 필연적으로 일어날 기술 트렌드를 이해해 보자는 차원으로 작성되었습니다. 그리고 대 R&D시대에 변치 않을 수혜주에 대해서 제 개인적인 의견도 제시해보고자 합니다. 본 자료는 그런 제 의견을 소개하는 첫 번째 자료입니다.

무어의 법칙 이후의 반도체 세계 지도





I . “무어의 법칙”의 한계

- 무어의 법칙
- 회로 선폭 미세화의 효익 감소
- 회로 선폭 미세화의 부작용

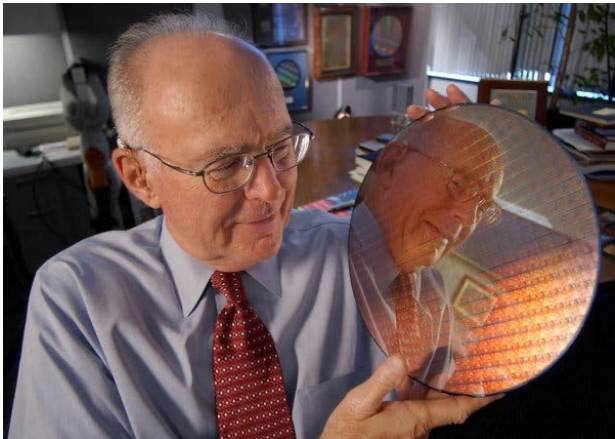


[Overview] 무어의 법칙

Moore's Law (무어의 법칙)

- 인텔의 공동 창립자이자 명예 회장 고든 무어(Gordon Earle Moore, 1929년 1월 3일 ~ 2023년 3월 24일)가 1965년 일렉트로닉스 잡지에 실은 논문을 바탕으로 만들어진 단어.
- 고든 무어의 경험과 통찰에 바탕을 두고 있는 내용으로 18개월~24개월마다 트랜지스터의 집적도가 2배씩 증가한다는 법칙.
- “무어의 법칙”이라는 단어는 고든 무어 본인이 아닌 타인에 의해서 만들어진 용어이며 2010년대 중반부터 반도체 업계는 무어의 법칙을 따르지 못함.

“무어의 법칙”



Gordon Earle Moore
(1929년 1월 3일 ~ 2023년 3월 24일)

“The complexity for minimum component costs has increased at a rate of roughly a factor of two per year ... Certainly over the short term this rate can be expected to continue, if not to increase. Over the longer term, the rate of increase is a bit more uncertain, although there is no reason to believe it will not remain nearly constant for at least 10 years. That means by 1975, the number of components per integrated circuit for minimum cost will be 65,000. I believe that such a large circuit can be built on a single wafer.”

“부품 제조 비용이 최소가 되는 복잡함은 해마다 대략 2배의 비율로 증가해 왔다. 단기적으로는 이 증가율이 올라가지 않아도, 현상을 유지하는 것은 확실하다. 적어도 앞으로 10년 동안 거의 일정한 비율을 유지할 수 없다고 믿을 이유는 없으나 보다 장기적으로는 증가율은 조금 불확실하다. 이 말은 1975년까지는 최소 비용으로 얻을 수 있는 집적회로의 부품 수는 65,000개에 이를 것이다. 나는 그만큼의 대규모 회로를 1개의 회로 기판 위에 구축할 수 있을 거라고 믿는다.”

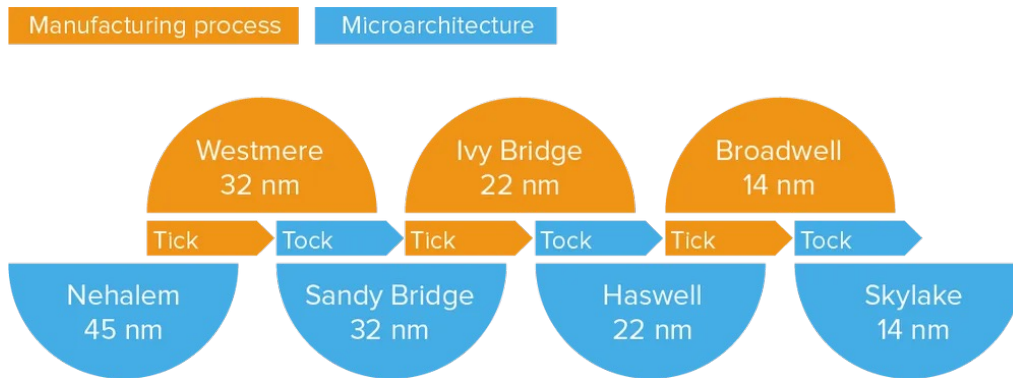
- 1965년 4월 19일, 일렉트로닉스(잡지)의 논문
“Cramming more components onto integrated circuits”-

무어가 창립한 인텔조차 따르지 못하는 무어의 법칙(틱톡 전략의 현주소)

인텔의 틱톡(Tick-Tock)전략

- 인텔 틱톡 전략은 인텔의 CPU 개발 전략으로 아래 그림과 같이 1년은 공정의 미세화(Tick), 1년은 아키텍처의 업그레이드(Tock)을 교대로 진행하면서 매년 새로운 CPU 제품을 출시하는 전략.
- 2년마다 공정을 업그레이드하여 무어의 법칙을 계승한 전략이라는 평가, 업계에서는 인텔 CPU의 영속성을 상징하는 전략으로 자리 잡음.
- 2016년 3월 출시한 Skylake(14nm) 이후 Tick(공정 미세화)이 난항을 겪음.
- 추후 출시된 제품들의 공정은 14nm(+), 14nm(++), 14nm(+++)로 최적화만 진행되었고 진정한 Tick(공정 미세화)이 되지 못함.
업계에서 인텔의 기술적인 입지가 무너진 계기로 보기도 함.

14nm에서 한계가 보인 인텔의 Tick-Tock 전략



자료 : 인텔, 신영증권 리서치센터

인터넷 밈이 되어 버린 인텔의 14nm 공정



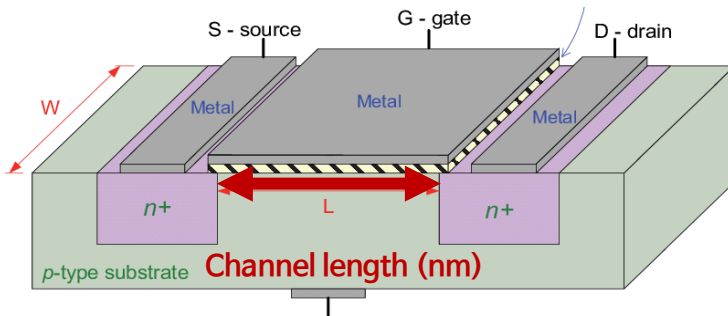
자료 : 업계자료, 신영증권 리서치센터

[인텔의 foundry roadmap] Intel7은 왜 “Intel 7nm”가 아닐까?

Intel Direct Connect 2024에서 발표한 인텔의 Foundry 로드맵

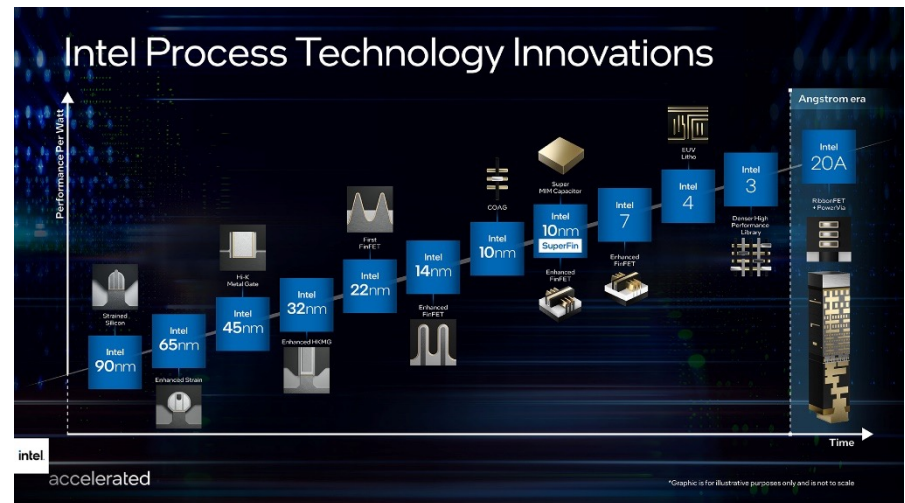
- 인텔은 이전부터 제시한 파운드리 로드맵에서 “Intel 10nm”이후 공정으로 “Intel7”이란 용어를 사용해옴.
- 인텔은 2024년 2월 공식 발표한 파운드리 로드맵에서도 추후 로드맵을 “intel7”, “intel4”등으로 제시함.
- 더 이상 실질적인 트랜지스터의 선폭 미세화는 없다는 의미로 추정됨.
- 팻 갤싱어 인텔 CEO는 추후 BSPDN, RibbonFET 등으로 공정 “효율화”를 하겠다고 발표함.

원래 트랜지스터 “nm”의 의미
(Channel length를 뜻함)



자료 : ntchip, 신영증권 리서치센터

Intel Foundry roadmap



자료 : 인텔, 신영증권 리서치센터

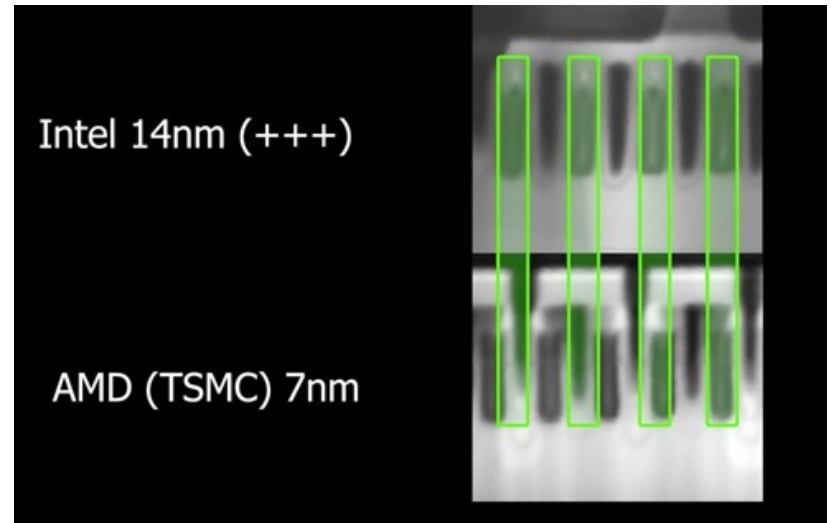
[트랜지스터 집적도] Foundry 공정 node의 실제 의미는 무엇일까?

“nm”로 불리는 회로 선폭의 민낯

- “nm ” 라는 단위는 원래 트랜지스터 회로 선폭을 의미했으나 지금은 마케팅적인 용어가 되었음.
- 실제로 트랜지스터가 미세화되었다면 Foundry 공정 node 별 집적도는 그에 상응하는 만큼 줄어들어야 하나 하단 왼쪽 표에서 확인 가능하듯이 실제로는 그렇지 않음.
- 한 회사 안에서의 node 업그레이드는 의미가 있으나 타 회사끼리의 비교는 어려움.
- 하단 오른쪽 그림과 같이 실제 nm가 표현하는 숫자는 회사마다 차이가 있고 해당 회사 공정의 버전과 같은 뜻으로 이해할 수도 있음.

Foundry 회사들의 공정 node 별 트랜지스터 집적도(좌),
전자 현미경으로 확인한 인텔 14nm 공정과 TSMC 7nm 공정(AMD CPU) (우)의 차이

2021 Peak Quoted Transistor Densities (MTr/mm ²)				
AnandTech Process Name	IBM	TSMC	Intel	Samsung
22nm			16.50	
16nm/14nm		28.88	44.67	33.32
10nm		52.51	100.76	51.82
7nm		91.20	100.76	95.08
5/4nm		171.30	~200*	126.89
3nm		292.21*		
2nm / 20A	333.33			
Data from Wikichip, Different Fabs may have different counting methodologies				
* Estimated Logic Density				



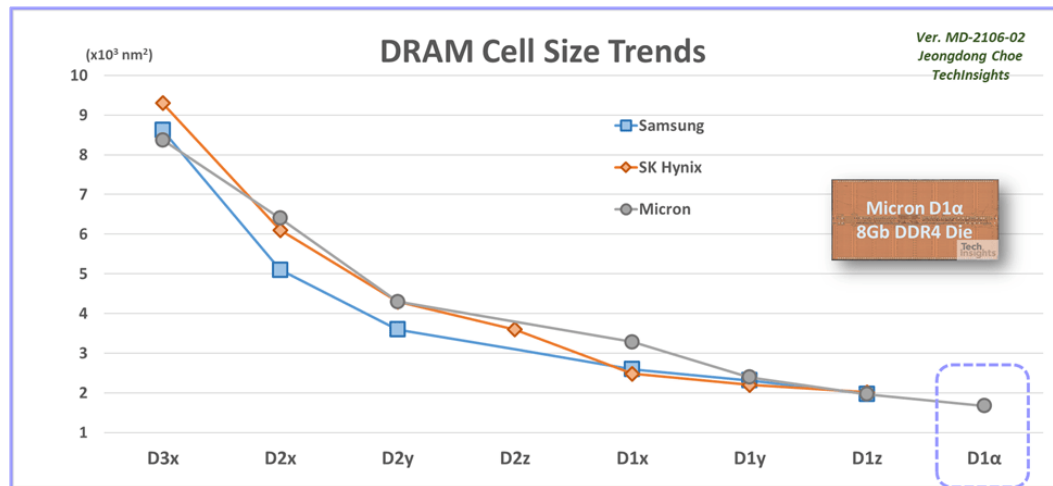
자료 : Wikichip, de8auer, 신영증권 리서치센터

[DRAM 집적도] DRAM 공정 미세화는 잘 진행 중일까?

DRAM 공정 미세화(Scaling)의 한계

- 2002년 당시 삼성전자 기술총괄 사장이었던 황창규는 무어의 법칙과는 달리 메모리 반도체의 집적도가 1년에 두 배씩 증가한다는 "황의 법칙" 발표.
- 2000년대 후반 이후 slow down 되긴 하였지만 DRAM은 2010년 초중반까지 매년 10%의 자릿수가 바뀌는 선풍 미세화를 지속해옴.
- 2010년대 후반 이후 10nm 구간에서만 6년 이상 크게 유의미한 scaling down이 진행되지 않고 있음.
(D1x => D1y => D1z => D1a => D1b => D1c)
- DRAM scaling down의 어려움은 트랜지스터 미세화보다는 Cell Capacitor의 A/R(aspect ratio) 증가에서 발생하고 있는 것으로 추정됨.

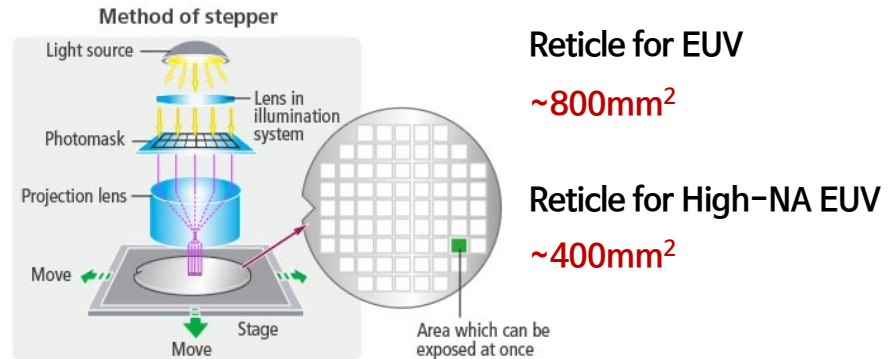
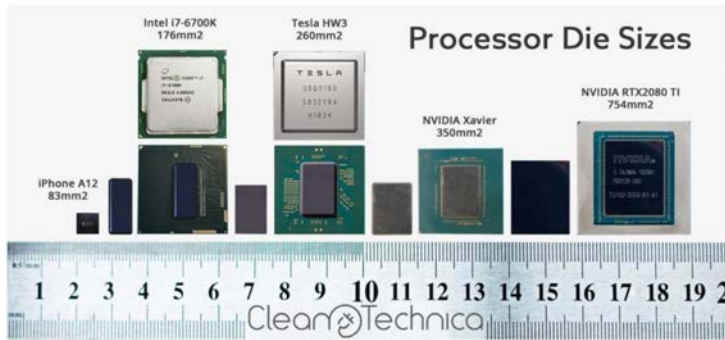
DRAM Cell Size Trends



자료 : TechInsights, 신영증권 리서치센터

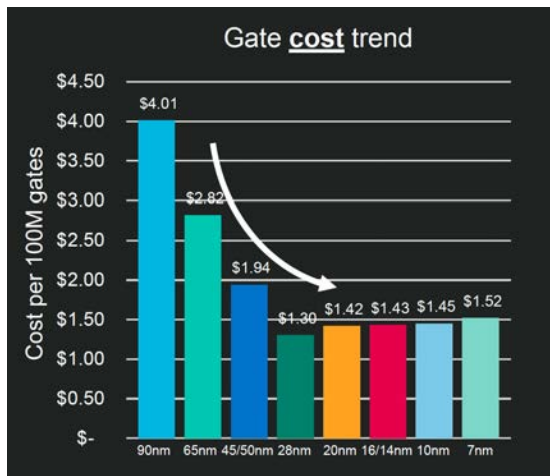
[한계에 부딪힌 무어의 법칙] 무어의 법칙이 Slow down 되고 있는 주요 원인

더 이상 집적도를 올리기 어려운 반도체 (SoC의 고성능화에 따른 칩 면적 증가와 Reticle size의 한계)



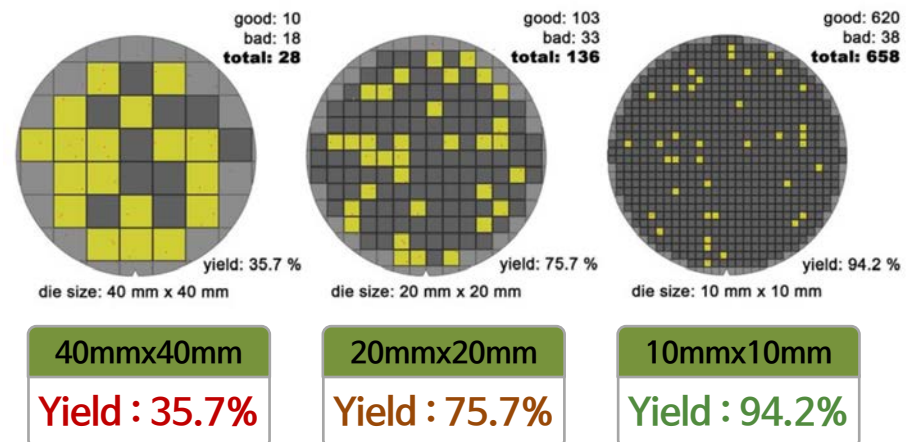
자료 : nikon.com, deantechnica.com, 신영증권 리서치센터

한계에 부딪힌 비용 효율화
(ex. EUV 장비 가격 약 2000~3000억 원)



자료 : Marvell 2020 Investor Day - Slide 42, 신영증권 리서치센터

기존의 공정 미세화는 수율 증가로 이어졌으나 반도체 제조 공정의 복잡성 증대에 따라 수율이 거꾸로 감소하는 문제



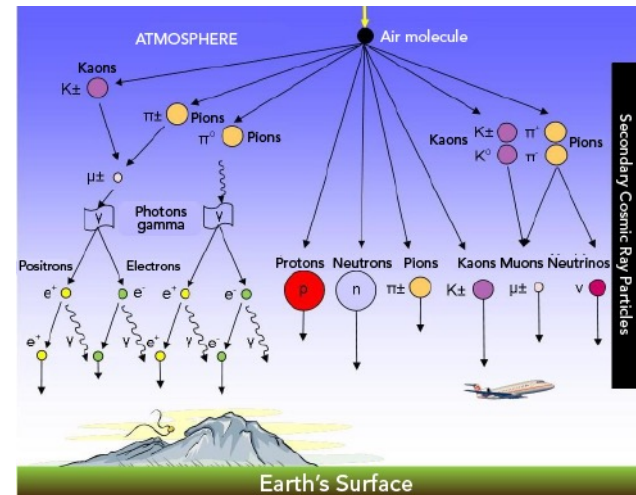
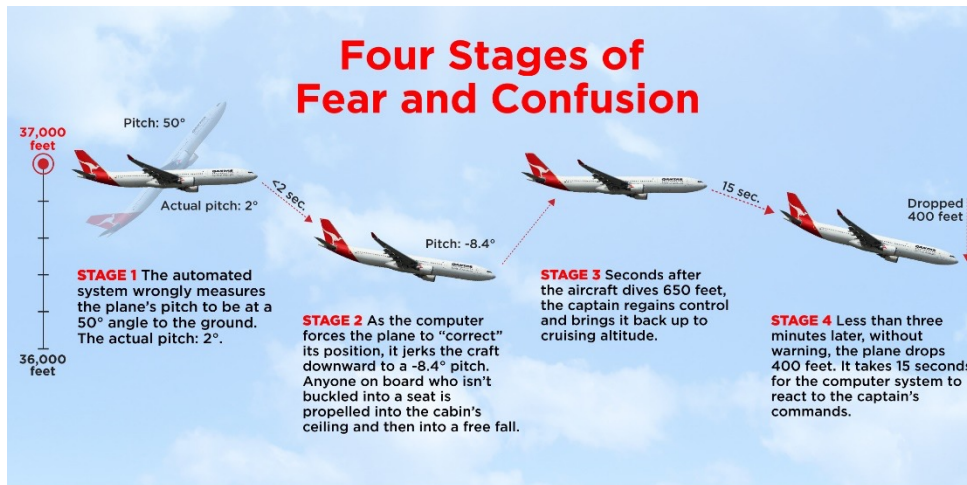
자료 : neogaf.com, 신영증권 리서치센터

[한계에 부딪힌 무어의 법칙] 무어의 법칙의 또 다른 부작용들 (1)

반도체 신뢰도의 문제 발생(ex. Qantas flight 72 pitch down 사건)

- 비행기 등 안전이 중요한 기기는 내부에 같은 동작의 컴퓨터를 3대 이상 탑재하는 경우가 많음.
- 2008년 Qantas flight 72편이 15초간 400feet를 자유 낙하하여 많은 사람들이 부상을 입은 사건이 발생함. 원인은 운항상태를 저장하고 비행기 운항에 반영하는 컴퓨터 3대 중 2대가 동시에 오작동 하여 발생한 것으로 밝혀짐.
- 반도체 수출 시 비행기 항로에 따라서 불량률이 달라지는 원인이 되기도 함. (전원과 관련 없이 발생하는 Hard Error)

2008년 Qantas flight 72의 In-Flight Upset으로 인한 pitch down 사건(좌), 사건의 원인이었던 cosmic ray (우)

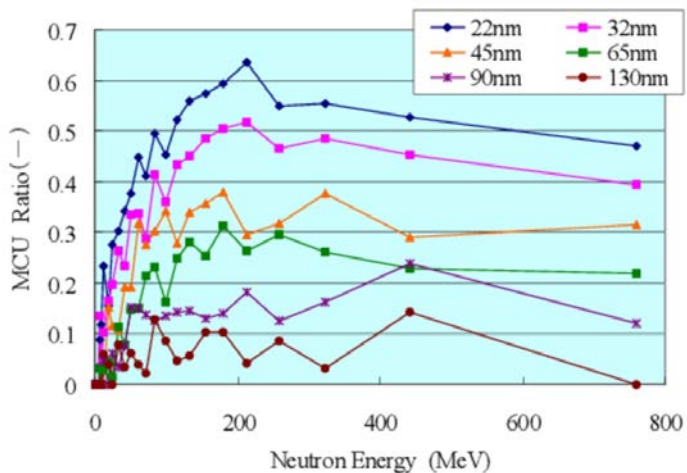


[한계에 부딪힌 무어의 법칙] 무어의 법칙의 또 다른 부작용들 (2)

반도체 신뢰도의 문제 발생(ex. Row Hammer)

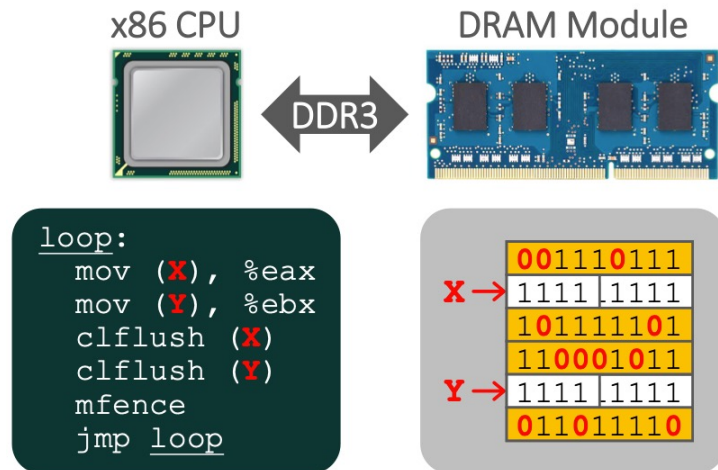
- MLC NAND, SRAM 등의 메모리도 공정 미세화가 되면서 불량 발생률이 증가함.
- 데이터센터의 경우 High-end 미세화 반도체를 사용하는 비율이 높기 때문에 고도에 따라 불량률 차이가 상당함.
- DRAM의 경우 공정 미세화에 따라 데이터를 저장하는 capacitor가 인접해지며 서로의 간섭을 많이 받음.
- 위의 약점을 이용한 방식의 해킹(Row Hammer) 관련 논문이 Carnegie Melon 대학교에서 발표되었고 결국 공정이 아닌 SW 적으로 해결함. (특정 Row(메모리의 연속된 구역)에 연속적인 접근 횟수를 올렸을 시 인접한 Row의 데이터가 변경되는 현상으로 특정 Row에 접근 횟수 제한을 두는 방식 등을 사용하여 해결.) 이는 근원적인 해결이 아님.

공정 node에 따른 반도체 오류 MCU(multi cell upset) ratio
공정 미세화가 될수록 어려움이 올라감



자료 : Eishi Ibe et al "Scaling Effects on Neutron-Induced Soft Error in SRAMs Down to 22 nm Process" IEEE Trans. Electron Devices, July 2010, 신영증권 리서치센터

DRAM 특정 주소에 반복된 접근을 하면 인접 데이터가 바뀌는
Row Hammer issue



자료 : Y.Kim et al "Flipping Bits in Memory Without Accessing Them: An Experimental Study of DRAM Disturbance Errors" ISCA, July 2014, 신영증권 리서치센터



II . 전자 공학의 한계

- Power Wall
- Speed limit (Signal Integrity)
- Power Integrity, Thermal issue

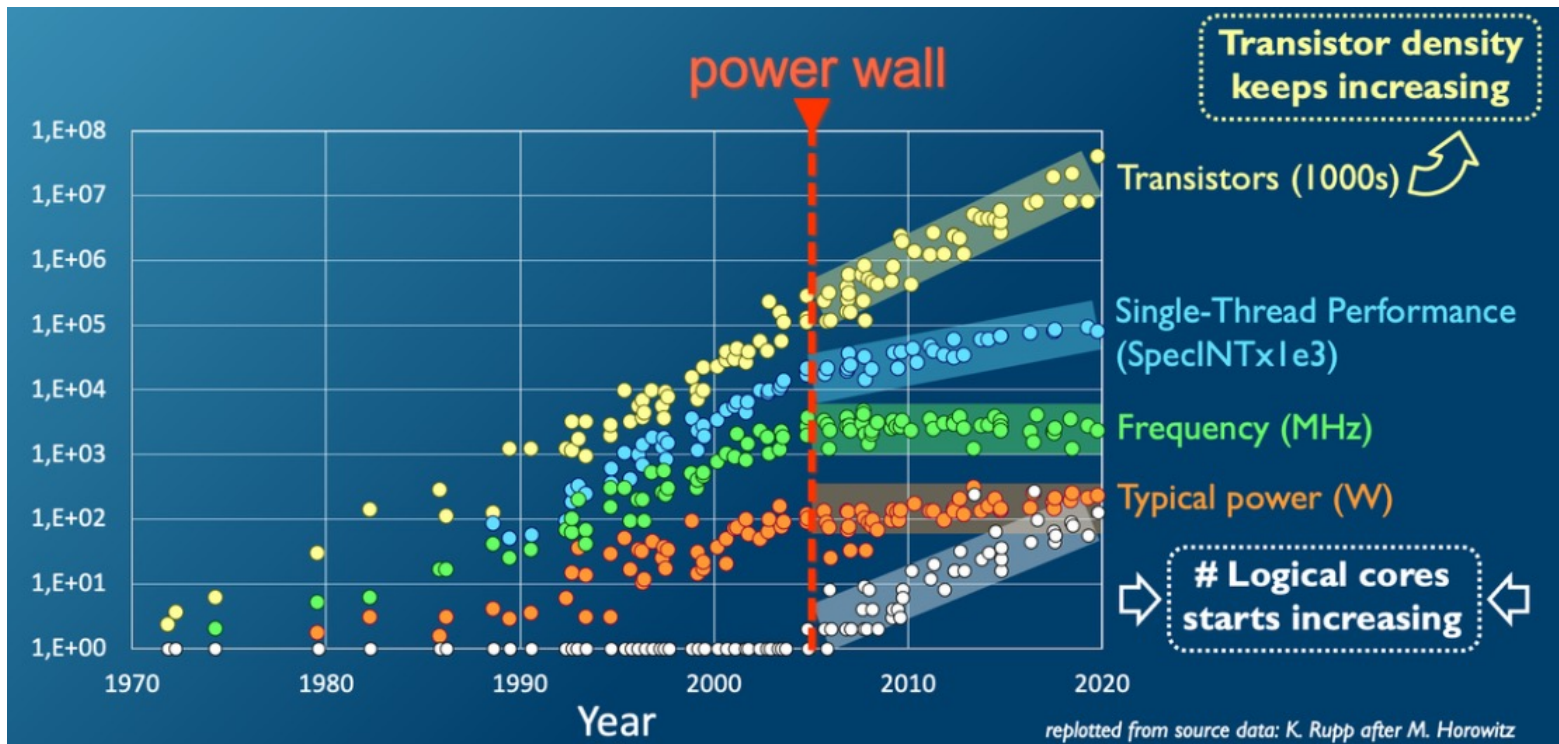


[전자공학의 한계 1] Power wall에 부딪힌 반도체

전자공학을 base로 동작하는 반도체는 Power Wall에 부딪힘

- 전력 소모를 늘리면 반도체의 성능은 올라가지만 쿨링, 전력 cost의 문제로 전력 소모 증가에 한계가 있음.
- 단일 트랜지스터의 사용 전력을 낮추는 데는 한계가 존재하므로 단위 트랜지스터에서의 반도체 성능 향상이 어려워짐.
프로세서의 경우 주로 Core 수 증가를 통해 문제를 해결해옴.

Power Wall이란 장벽에 부딪힌 processor performance



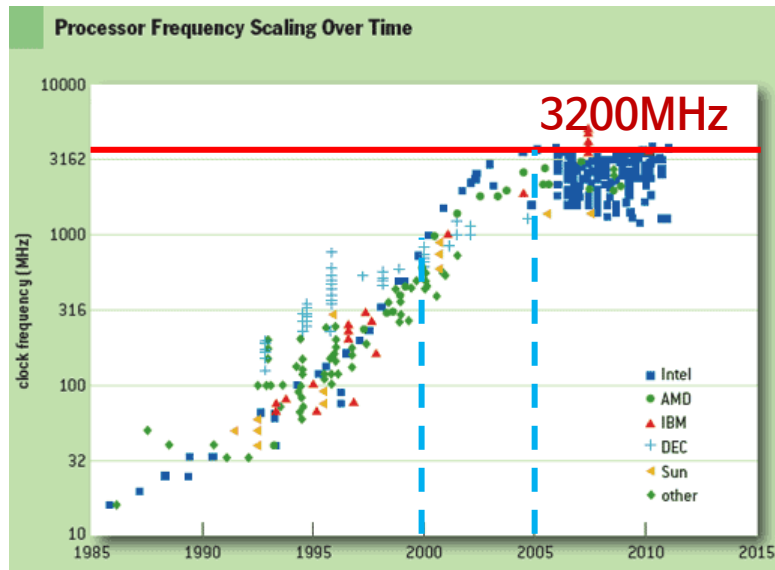
자료 : imec, 신영증권 리서치센터

[전자공학의 한계 2] 더 이상 속도 향상이 안되는 반도체(Speed limit)

Power Wall과 함께 찾아온 반도체 speed limit

- CPU의 단일 코어 스피드 기준으로 1995년~2000년 5년 동안 10배 정도의 speed 상승, 2000년~2005년 5년 동안 3배 정도의 speed 상승이 일어났지만 2005년~2024년, 대략 근 20년간 CPU의 단일 코어 speed 상승은 매우 적음. (권장 사용 speed 기준)
- 결국 프로세서 core 개수를 늘리는 방향으로 프로세서의 성능을 올리고 있었지만 core 개수의 증가는 곧 프로세서 면적의 증가로 이어지고 이는 결국 reticle size limit, productivity limit으로 이어지게 됨.
- 새로운 방식의 솔루션을 찾을 수밖에 없는 이유(ex. 이종 칩 결합)

2015년 이전의 processor speed(좌)와 자료 발간일 기준 Benchmark 최고 성능 processor의 권장 speed(우)



Single Core		Multi-Core	
Processor	Score		
Intel Core i9-13900KS 3.2 GHz (24 cores)	3110		
Intel Core i9-14900KF 3.2 GHz (24 cores)	3103		
Intel Core i9-14900K 3.2 GHz (24 cores)	3098		
Intel Core i7-14700KF 3.4 GHz (20 cores)	2984		
Intel Core i9-13900K 3.0 GHz (24 cores)	2981		
Intel Core i9-13900KF 3.0 GHz (24 cores)	2969		
Intel Core i9-14900F 2.0 GHz (24 cores)	2969		
Intel Core i9-14900 2.0 GHz (24 cores)	2949		

자료 : Andrew Danowitz et al. "CPU DB: Recording Microprocessor History". In: Commun. ACM 55.4 (Apr. 2012), pp. 55 - 63, browser.geekbench.com 신영증권 리서치센터

[전자공학의 한계 3] DRAM 입출력(interface)에서의 speed limit 문제

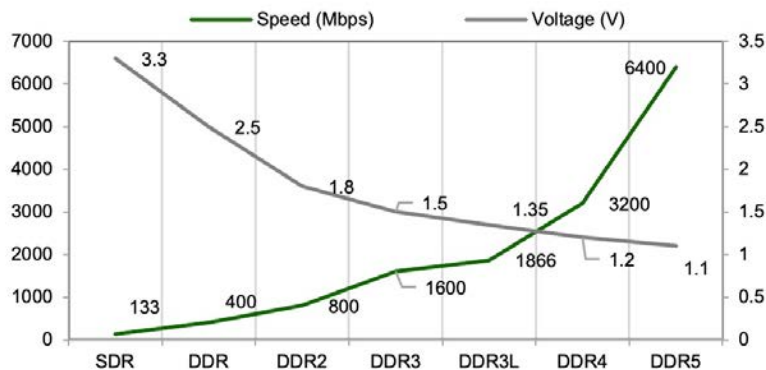
DDR3~DDR5까지 Interface speed를 올리기 위해 다양한 설계 기술들 사용(우)

- DDR => Double data rate* 사용 (SDR 대비 2배 속도)
- DDR1~DDR3 => Push-Pull 방식 사용
- DDR4 => Pseudo Open Drain
- DDR5 => Pseudo Open Drain + 4tab DFE**

(*DDR => SDR이 하나의 클럭 사이클에 한 개의 데이터를 주고받았다면 하나의 클럭 사이클에 두 개의 데이터를 주고받아 SDR 대비 속도를 두 배로 올린 기술.)

(**DFE => 이전의 data를 참고하여 현재 data의 입력에 반영하는 회로 설계 기술, 4tab DFE는 앞의 4bit을 고려한다. Tab 수가 올라갈수록 정교한 동작이 가능함. 실제 동작은 그렇지 않지만 기준전압을 변경하는 것과 비슷한 효과를 냄.)

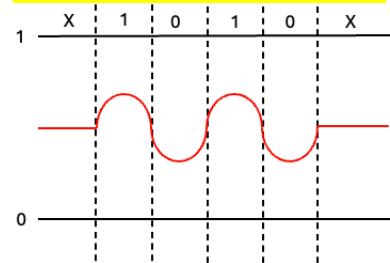
DRAM 세대별 사용 전압(V)과 max target speed(Mbps)



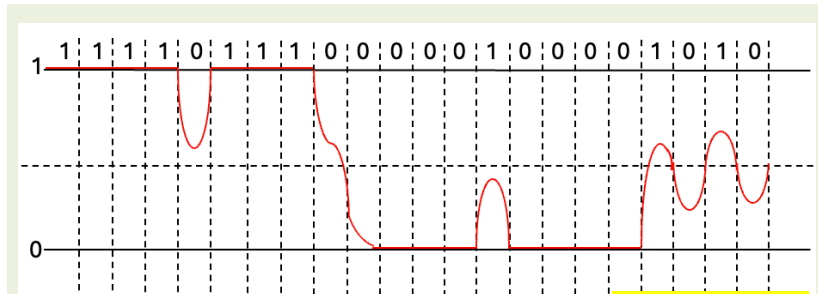
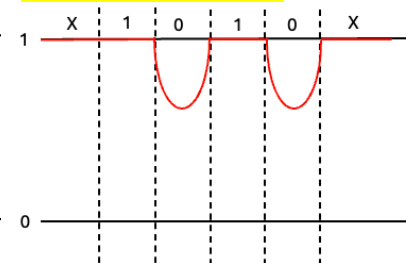
자료 : 신영증권 리서치센터

DRAM 세대별 Interface speed 상승 방식

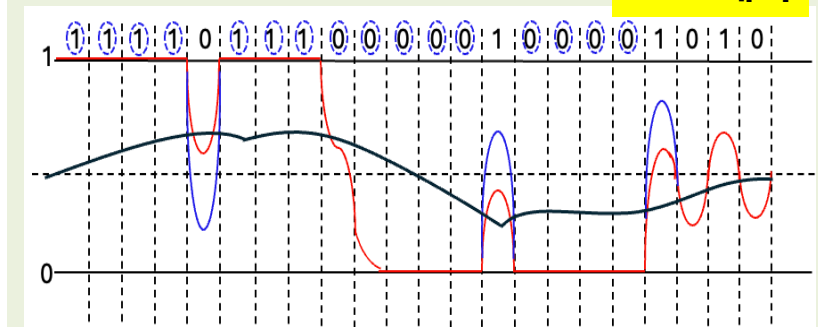
DDR3 (push-pull)



DDR4 (POD)



DFE 예시



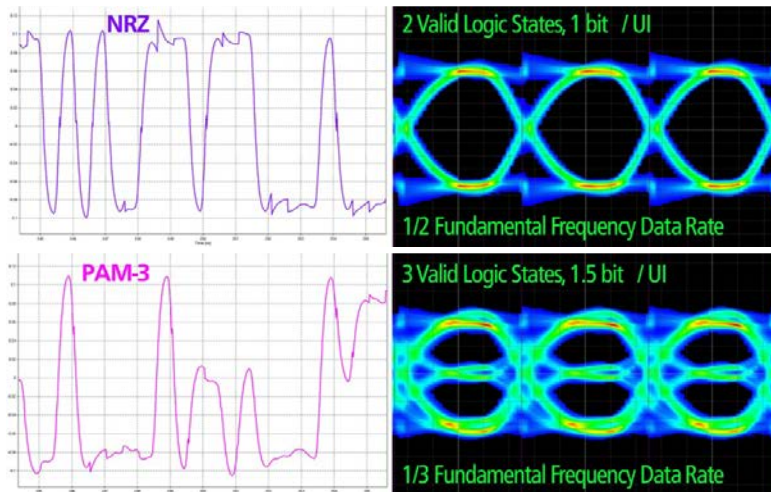
자료 : 신영증권 리서치센터

[전자공학의 한계] Power wall과 speed limit을 해결하기 위한 몸부림(1)

최신 Graphic 향 DRAM, 최신 Mobile 향 DRAM에서 사용되는 기술

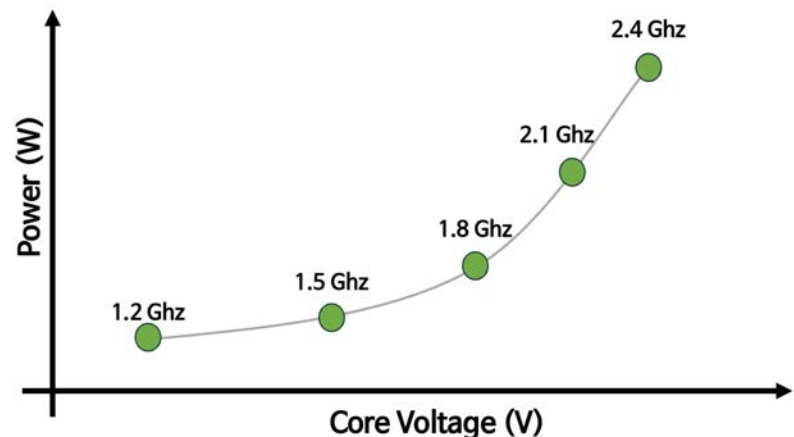
- Graphic 향 DRAM 최고의 덕목은 적은 전력 소모보다는 고속 동작에 있음. 하지만 기존 데이터 전송 방식으로는 속도 향상에 한계가 있고 이를 해결하기 위해서 PAM-3라는 기술을 사용하여 단위 시간당 데이터 전송량을 1.5배 증가시킴. GDDR6x에서 Micron이 PAM-4 기술을 이용하여 단위 시간당 데이터 전송량을 2배 증가시키려는 시도를 하였지만 Signal Integrity, 전력 소모 등의 문제가 있어서 SPEC을 정하는 기관인 JEDEC의 협의 끝에 GDDR7은 PAM-3를 사용하기로 결정. (전력 소모는 사용 전압의 제곱에 비례하여 증가하고 PAM-X에서 X 값을 올리기 위해서는 고 전압이 필요)
- Mobile 향 DRAM(현재는 Mobile 제품에만 쓰이지 않고 서버, PC 등에서도 적극적으로 사용되는 등 사용 처가 확장되는 중)의 최고의 덕목은 저전력. 하지만 최근 들어 LPDDR 제품의 사용처가 다변화됨에 따라 고속 동작도 지원하면서 저전력을 구현하기 위해 DVFS(사용하는 속도에 비례하여 전압을 조절하는 방식)을 사용하고 있음.

기존 DRAM interface에 사용된 NRZ 방식(위)과 최신 Graphic 향 DRAM인 GDDR7부터 사용되는 PAM3 방식(아래)



자료 : CADENCE, 신영증권 리서치센터

최신 Low Power 향 DRAM인 LPDDR6에서 사용되는 DVFS(Dynamic Voltage Frequency Scaling) 방식



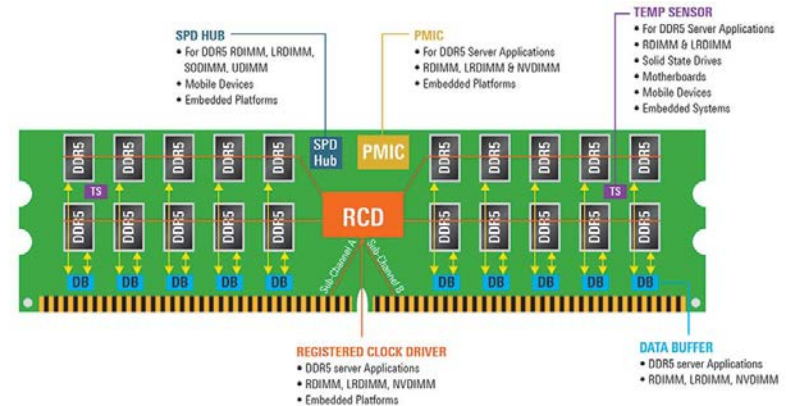
자료 : 업계자료, 신영증권 리서치센터

[전자공학의 한계] Power wall과 speed limit을 해결하기 위한 몸부림(2)

저전력 시대로 가면서 Thermal issue는 더욱 중요한 문제가 됨

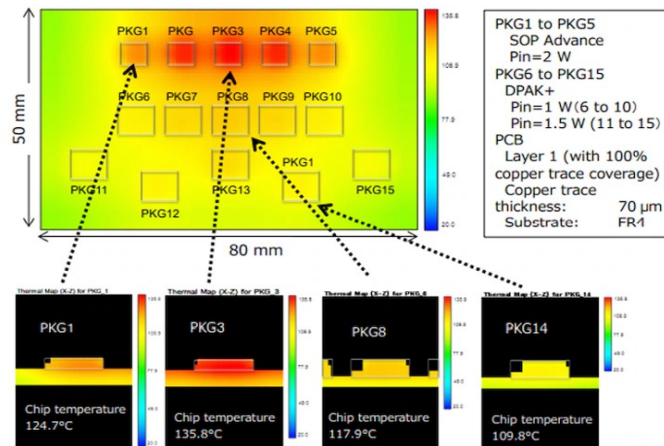
- 반도체 칩에 전압을 공급하면 전류가 흐르고 전류가 저항을 지나가면서 전압 강하가 발생함. 그에 따라 해당 에너지가 열로 배출됨.
- 온도가 높으면 반도체의 성능이 낮아지게 되고 이를 위해서 쿨링을 통한 열관리, 온도를 고려한 반도체 동작이 필요함.
- DDR5의 경우 DIMM(dual in-line memory module)에 두개의 Temperature sensor를 채택하여 열 관리 및 성능 최적화에 사용.

DDR5 DIMM에 도입된 Temperature sensor



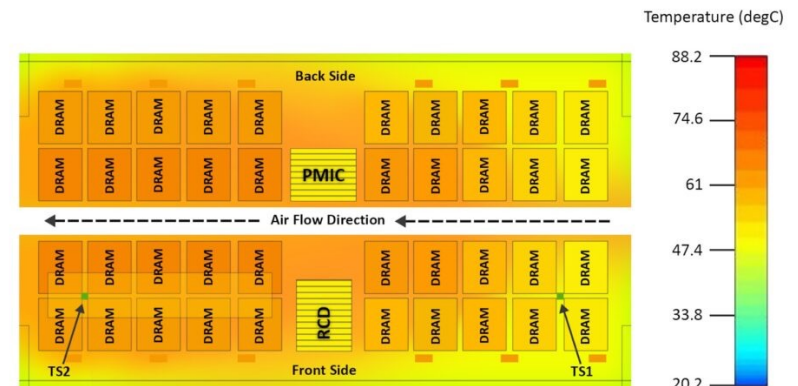
자료 : RENESAS, 신영증권 리서치센터

PCB기판 위에서 각 Package의 동작 환경에 따라 달라지는 발열 프로파일



자료 : TOSHIBA, 신영증권 리서치센터

DDR5 DIMM 동작 시 발열 프로파일



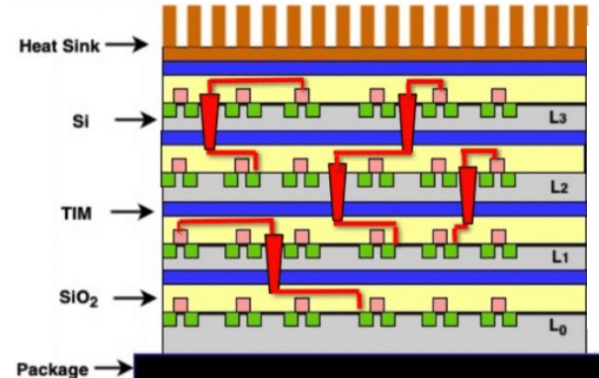
자료 : PRODIGY TECHNOVATION, 신영증권 리서치센터

HBM의 전력과 온도 문제를 해결하기 위한 최신 기술 (1)

이중 칩 결합의 시대로 갈수록 중요해지는 Power, Thermal issue

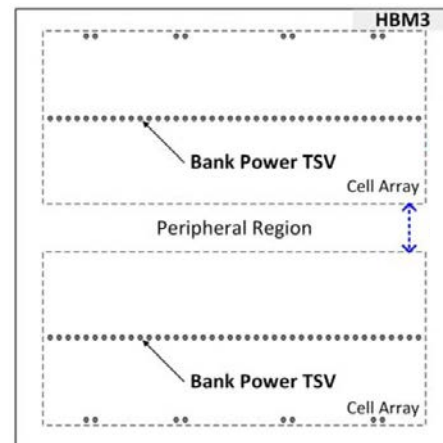
- 반도체 칩의 Power Integrity, Thermal issue는 항상 중요한 주제임. 발열을 줄일 수 있다면 더 많은 전력을 공급하여서 반도체의 성능을 끌어올릴 수 있음.(좀 더 공학적인 용어로는 Thermal throttling을 줄일 수 있음.) 바꾸어 이야기하면 전력 공급이 원활하면 발열을 줄일 수 있음. 하지만 전력 공급을 원활히 하기 위해서는 반도체 칩 내부 전력용 배선을 두껍게 많이 배치하여야 하며 이는 chip size의 증가, 내부 회로의 배치 복잡성으로 귀결됨.
- 이중 칩 결합, 특히 3D로 칩을 쌓는 3D stack이 중요해지고 있는 현 상황에서 전력 공급, 온도 관리가 더욱 중요해질 수밖에 없음. 3D stacked 반도체들 중 상단에 적층 된 칩들은 TSV를 통해서만 전원을 공급받음. PCB 혹은 Interposer로부터 전원을 직접 공급받는 최하단 층의 반도체와는 상황이 다름.
- 3D stacked 칩(ex. HBM)의 위 층으로 올라가면서 칩은 더욱 power hungry 해짐. 즉 전력 공급이 한층 한층 올라가면서 줄어들 수 있음. 물탱크가 지하에 있는 아파트에서 위 층으로 올라갈수록 수압이 약한 것과 같은 이치로 볼 수 있음.

TSV based 3D IC Vertical Thermal distribution



자료: Satya Vendra et al "Fast Thermal Goodness Evaluation of a 3D-IC Floorplan" ISQED, Apr 2021, 신영증권 리서치센터

SK Hynix HBM3의 Power 공급용 TSV



자료: J. Lee et al "A 48GB 16-High 1280GB/s HBM3E DRAM with All-Around Power TSV and a 6-Phase RDQS Scheme for TSV Area Optimization" ISSCC, Feb 2024, 신영증권 리서치센터

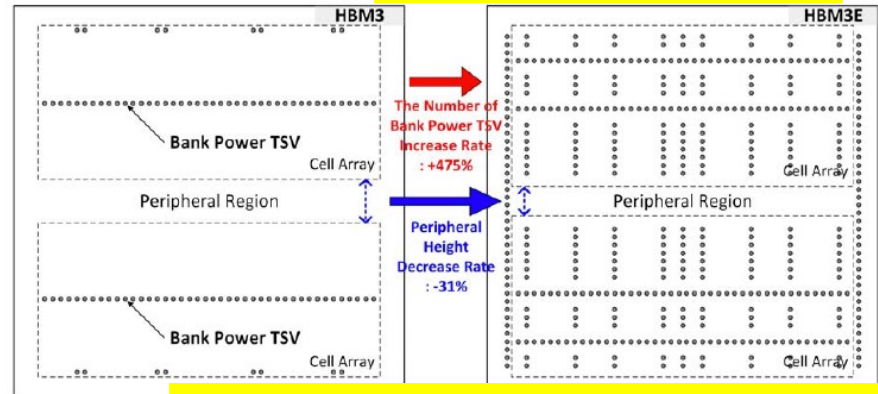
HBM의 전력과 온도 문제를 해결하기 위한 최신 기술 (2)

HBM에서의 power, thermal issue

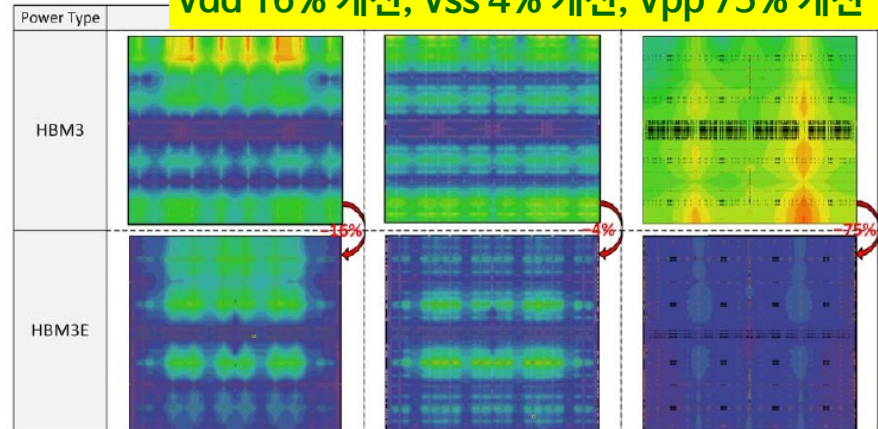
- HBM의 경우 모든 채널이 독립적이라는 것이 또 하나의 문제점. (다른 3D stacked 반도체도 같은 상황이라고 추정할 수 있음.) 최악의 시나리오는 위아래 층의 특정 위치에서 power를 가혹하게 쓰고 있는 경우 중간에 끼어 있는 층의 해당 위치의 셀에 접근할 시 power 부족으로 인해서 제대로 동작하지 못할 수 있음.
 - 예를 들어 4층 6층의 우측 하단 cell들의 data를 가혹하게 변경하고 있을 시 5층의 우측 하단 cell의 data 변경을 원할 경우 오류가 날 가능성이 높아진다고 예측해 볼 수 있음.
- 세계에서 가장 권위 있는 반도체 설계 학회인 ISSCC 2024에서 SK하이닉스가 All-Around Power TSV를 논문으로 발표한 이유 중 하나. HBM의 본딩 방식, 방열 소재가 온도에 끼치는 영향 못지않게 발열, 전력 공급을 개선할 수 있는 설계 방법론 제시.
- 해당 논문에서는 Power hungry 한 Bank 주변부에 가능한 최대한 많은 Power 공급용 TSV를 배치하여 전력 특성 및 온도 특성을 개선함. Bank Power TSV 개수를 475% 증가시켰으며 이로 인해 최대 75%의 Vpp power 개선 효과, 온도 특성 개선 효과를 봄. (POC 단계)

ISSCC 2024에서 SK Hynix가 발표한 HBM3E All-Around Power TSV (좌 : HBM3, 우: HBM3E(POC))

Bank Power TSV 475% 증가



Vdd 16% 개선, Vss 4% 개선, Vpp 75% 개선



자료 : J.Lee et al "A 48GB 16-High 1280GB/s HBM3E DRAM with All-Around Power TSV and a 6-Phase RDQS Scheme for TSV Area Optimization" ISSCC, Feb 2024, 신영증권 리서치센터



III. Moore 이후의 트렌드

- More Moore
- More than Moore
- SysMoore



[Overview] 왜 무어의 법칙의 계승(More Moore)이 어려울까?

1965년 무어의 법칙이란 단어가 등장한 이후로 반도체 산업은 무어의 법칙 아래에서 기하급수적으로 성장해 왔다. 단순히 트랜지스터의 미세화만으로 낮은 전력 소모, 높은 성능, 낮은 가격을 이룰 수 있었기 때문에 반도체 산업은 공짜 점심을 먹어왔다. 하지만 지난 10년 동안 반도체 미세화 기술은 말 그대로 “분자의 한계”에 도달했다. 이로 인해 트랜지스터 미세화 기술은 매우 복잡해졌고 트랜지스터를 만드는 공정의 복잡성은 무어의 법칙을 점점 느려지게 만들었다. 그 복잡성을 해결하기 위한 비용은 더 이상 무어의 법칙이 대세인 시절만큼 큰 효익을 주지 못하고 있다. 트랜지스터의 선폭은 실질적으로 줄어들지 못하고 있는 것으로 보인다.

무어의 법칙은 끝난 것이다. (당분간은..)

1965년 무어의 법칙이 발표된 이후 반도체 기술 발전으로 업계는 기하급수적인 기술 진보를 이루어 왔다. 업계와 소비자는 지금까지 겪어온 기하급수적인 기술 진보를 앞으로도 누리고 싶어 한다. 무어의 법칙을 뛰어넘고자 하는 More than Moore, SysMoore가 각광을 받는 이유다. More than Moore를 주로 하드웨어적인 해결(ex.Heterogeneous Integration 등), SysMoore를 컴퓨터 아키텍처를 건드리는 시스템적인 해결(ex.PIM, CXL등)으로 이 자료에서는 명명하고자 한다. 미래를 알 수는 없지만 추후 10년 정도의 반도체 기술 발전에 대한 로드맵은 어느 정도 제시되어 있는 듯하다.

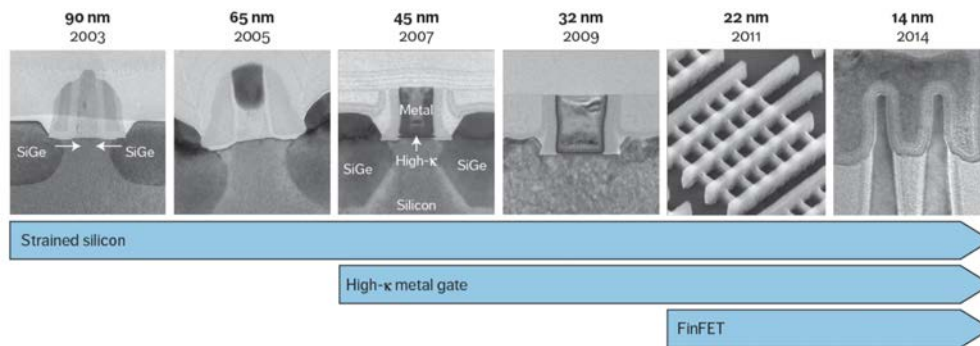
본 챕터에서는 그 로드맵에서 가능성 있는 후보들을 간략하게 소개하고 이번 자료와 추후의 자료들을 통해 제시된 후보들 하나하나에 대한 깊이 있는 내용과 그에 따른 수혜주를 찾아보려고 한다.

[More Moore의 한계] MOSFET : 90nm부터 3nm까지

무어의 법칙에 따라 발전한 트랜지스터 미세화의 역사

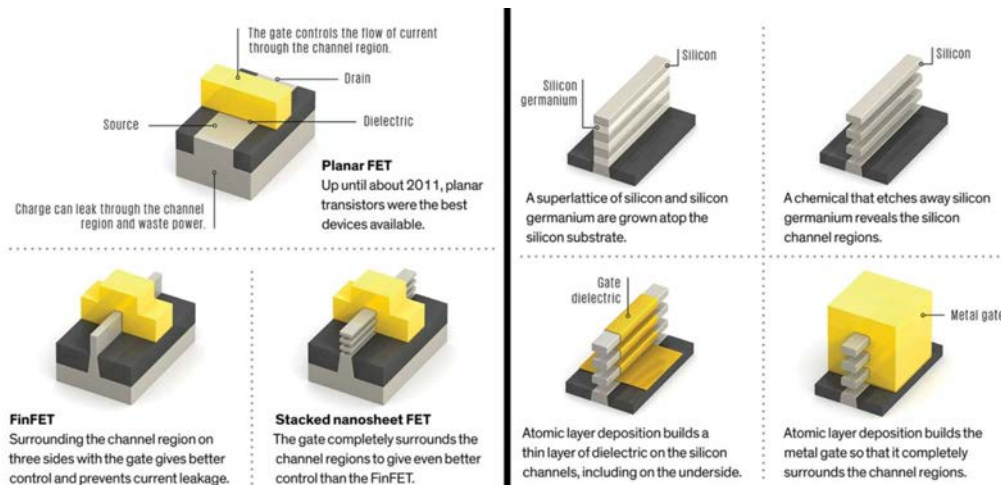
- 90nm : Strained Silicon transistor
=> Source, Drain의 화학성분을 변경하여 전류가 이동하는 경로에 압력을 가하여 전류량을 올리는 기술. (전류가 흐르는 경로의 격자구조를 압력을 통해 변경하여 전자가 더 빠르게 흐르게 하는 방식.)
- 45nm : High-K dielectric transistor
=> 트랜지스터의 전자 제어 특성을 유지하면서 부도체의 두께를 증가시키기 위하여 High-K 소재를 부도체로 사용함. (부도체의 두께 증가로 인해 누설전류 감소 등 트랜지스터 성능이 개선됨.)
- 22nm : FinFET (Trigate FET)
=> Gate와 채널이 세 면에서 접하게 하여 전류 제어 특성 및 누설 전류 특성 개선. (모양이 상어 지느러미와 비슷하다고 하여 “Fin”FET으로 명명됨.)
- 3nm : GAAFET (Gate All Around FET)
=> Gate가 완벽하게 채널을 둘러싸게 하여 FinFET 보다 더 개선된 전류 제어 특성 및 누설 전류 특성 (공정 난이도가 매우 높음.)

과거 CMOS transistor 미세화 과정에서 도입된 기술들



자료 : M.Bohr et al “CMOS Scaling Trends and Beyond” MICRO, Nov 2023, 신영증권 리서치센터

트랜지스터 구조의 변경 과정과 GAAFET 제조 과정



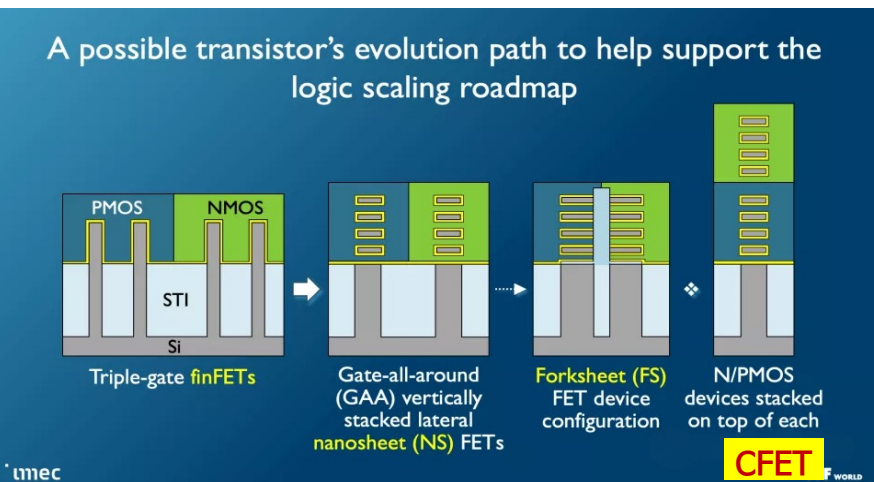
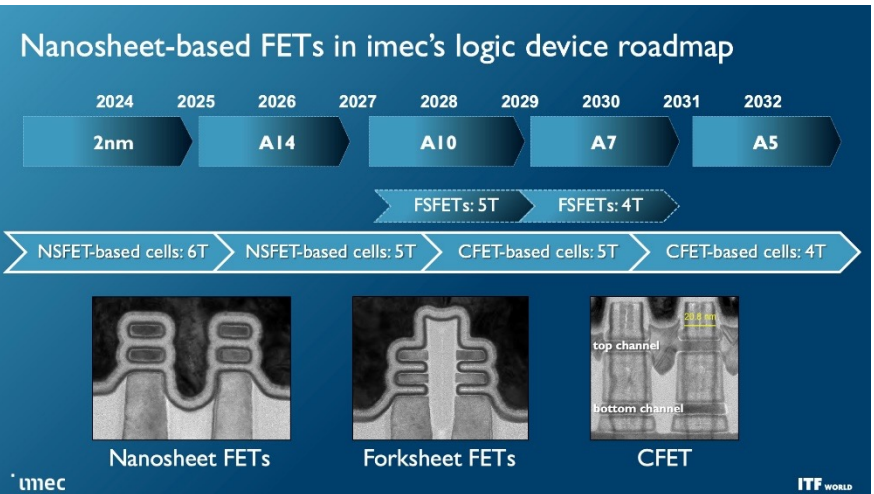
자료 : M.Bohr et al “CMOS Scaling Trends and Beyond” MICRO, Nov 2023, 신영증권 리서치센터

[More Moore의 한계] GAAFET (Gate All Around FET)의 미래 : CFET

GAAFET의 업그레이드 버전인 CFET

- 반도체 논리회로를 만들기 위해서는 NMOS, PMOS가 필요함. 대부분의 반도체 논리회로에 NMOS와 PMOS가 함께 쓰이며 이를 CMOS라고 부름. GAA로 만든 NMOS와 GAA로 만든 PMOS를 수직으로 쌓아서 집적도를 올리는 방식을 CFET이라고 함.
- 추후 공정 소자와 장비의 발전으로 양산화될 시점이 올 수도 있지만 공정 난이도가 매우 높아 단기간에 상용화되긴 어렵다고 추측됨.

GAA 이후 트랜지스터 구조 로드맵 => CFET



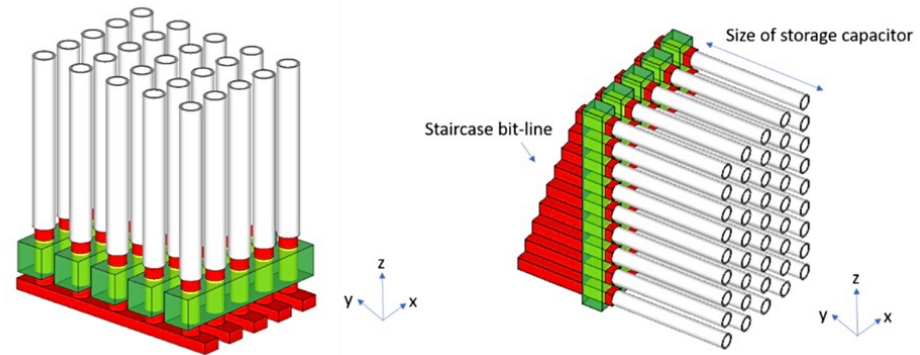
자료 : imec, 신영증권 리서치센터

[More Moore의 한계] 3D DRAM : DRAM을 세우자

V-NAND의 구조와 비슷한 DRAM => 3D DRAM

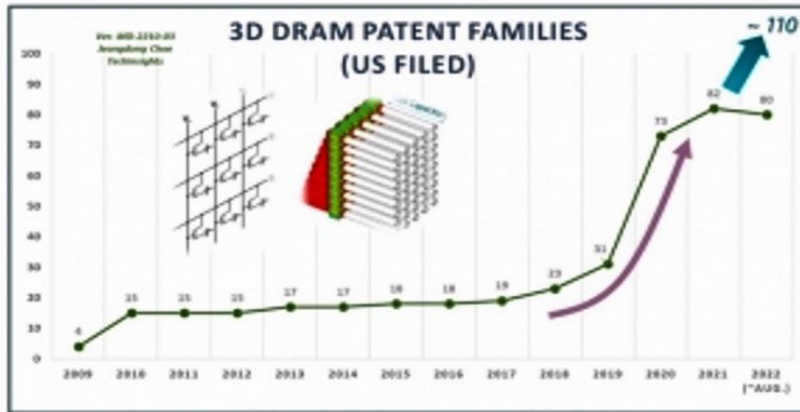
- 기존 DRAM 셀을 옆으로 눕힌 후 수직으로 적층하는 방식으로 기본적인 구조는 V-NAND와 유사. 3D DRAM이 가능해지면 V-NAND와 마찬가지로 미세화보다는 증착, 식각 등의 공정이 중요해짐.
- 하지만 Cell capacitor의 용량 유지, DRAM의 구조 복잡성 등의 이유로 V-NAND보다 공정 구현이 매우 어려워 당분간 상용화되기는 어려운 기술이라고 추측됨.

2D DRAM의 구조(좌), 3D DRAM의 구조(우)

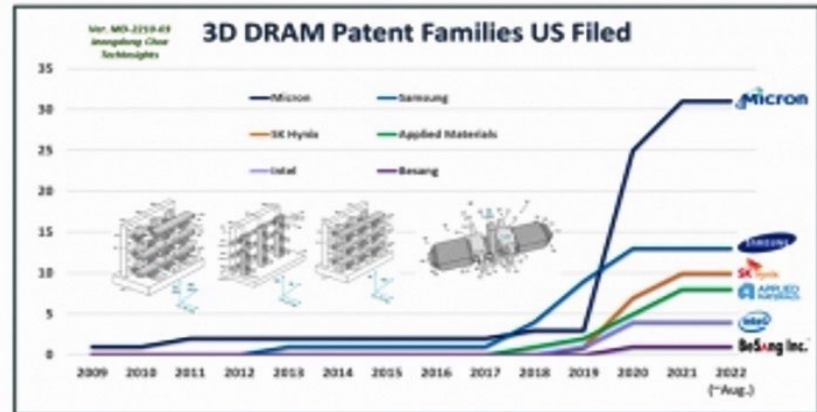


자료: 업계 자료, 신영증권 리서치센터

3D DRAM 특허 (주로 구조 관련 특허)



Source: CiphonyTechnights



Source: CiphonyTechnights

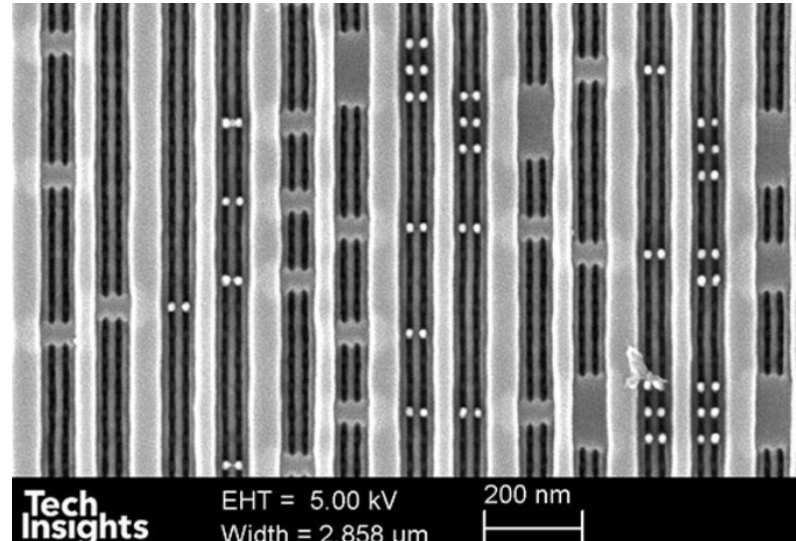
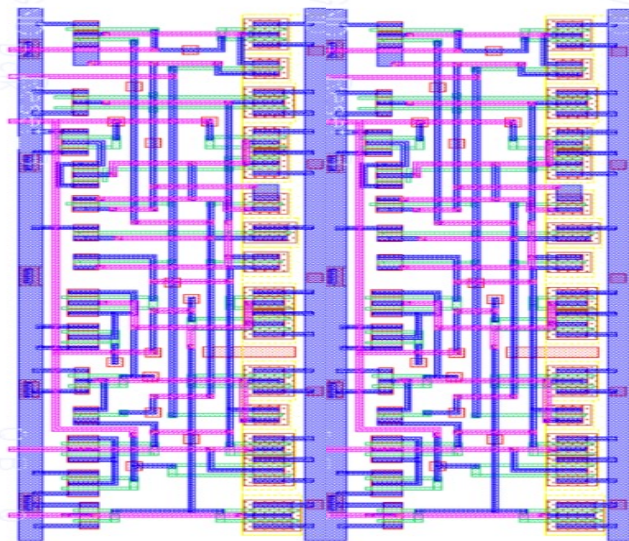
자료: TechInsights, 신영증권 리서치센터

[More than Moore] BSPDN (Back Side Power Distribution Network) (1)

트랜지스터에 전압을 공급하는 Power Distribution Network.

- 트랜지스터는 전압이 원활히 공급되어야 정상 동작을 할 수 있음. 여러 가지 전압을 공급하지만 크게 고전압(Vdd)과 저전압(Vss)이 공급됨. 예를 들어 DDR4의 경우 Vdd는 1.2V, Vss는 0V. 우리 실생활에서 전자 기기를 콘센트에 꼽는 것과 같은 이치. 콘센트도 두 개의 구멍을 통해서 전압을 공급하는 이유는 220V 전압으로 전자기기가 동작한다고 했을 때 한 쪽은 220V를 공급하고 다른 쪽은 0V를 공급한다고 볼 수도 있음.
(교류는 다른 원리이지만 비슷한 컨셉이라고 볼 수 있음)
- 이 전압이 모든 트랜지스터에 제대로 공급되기 위해서는 두꺼운 전압선을 촘촘하게 배선해 주어야 함. 두께가 좁을 경우 전압강하에 따른 중간 영역 트랜지스터의 비정상적인 동작, Electromigration에 의해 전압 배선이 끊어지는 현상이 발생할 수 있기 때문임.

반도체 mask layout (좌), 실제 웨이퍼에 구현된 반도체 패턴 (두꺼운 line들이 전력 공급용 배선)



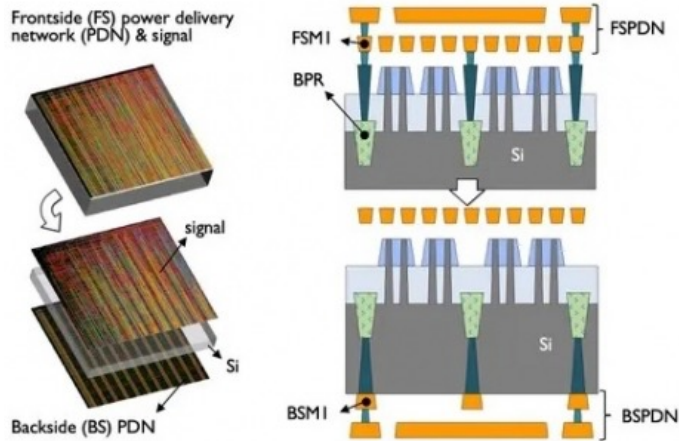
자료 : TechInsights, 업계자료, 신영증권 리서치센터

[More than Moore] BSPDN (Back Side Power Distribution Network) (2)

트랜지스터를 미세화하지 않고도 트랜지스터 집적도를 올릴 수 있는 방법 : BSPDN

- BSPDN은 인텔이 주도적으로 개발하고 있는 기술. TSMC, 삼성전자도 BSPDN을 발표함.
매우 두꺼운 Power 배선을 웨이퍼 뒷면에 배치한 후 TSV로 뚫어서 전력을 공급해 주겠다는 개념. 현재 전압이 공급되는 배선 아래에 트랜지스터 배치가 어렵다는 점에서 전압 공급용 배선을 모두 실리콘 밑면으로 내릴 경우 트랜지스터를 더 배치할 수 있게 되며 이를 통한 집적도 향상을 이룰 수 있음. 그뿐만 아니라 전력을 더 넓게 배선할 수 있다는 점에서 트랜지스터의 전압강하에 의한 동작 저하도 해결할 수 있음.
- 실제 인텔은 양산 제품은 아니지만 인텔4 공정으로 BSPDN을 구현하였고 전압강하는 30% 개선, 특성은 6% 개선되었다고 발표함. 아직 공정 난이도가 높아 상용화 단계는 가지 못하였지만 실제 칩을 제작해 본 이력이 있는 만큼 상용화 가능성이 높다고 봄.

인텔에서 제시한 BSPDN : 전력 배선을 웨이퍼 아래로 내려서 트랜지스터 배치 공간을 확보할 수 있음



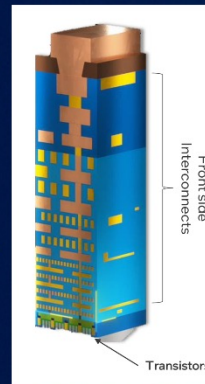
Frontside Power Delivery vs Backside Power Delivery

Frontside Power Delivery

Signal wires and power wires compete for the same resources at every metal layer.

Requires aggressive scaling of metal layer pitches:

- High cost
- Higher voltage droop
- Higher RC delay



Backside Power Delivery

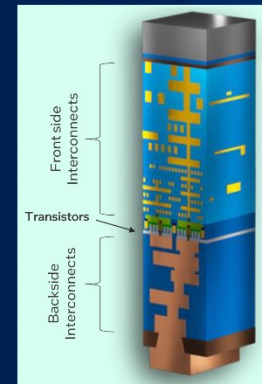
Signal wires and power wires are decoupled and optimized separately.

Value Proposition

- Higher Performance
- Lower Cost

Risks:

- Yield
- Reliability
- Thermal Dissipation
- Debug Capability

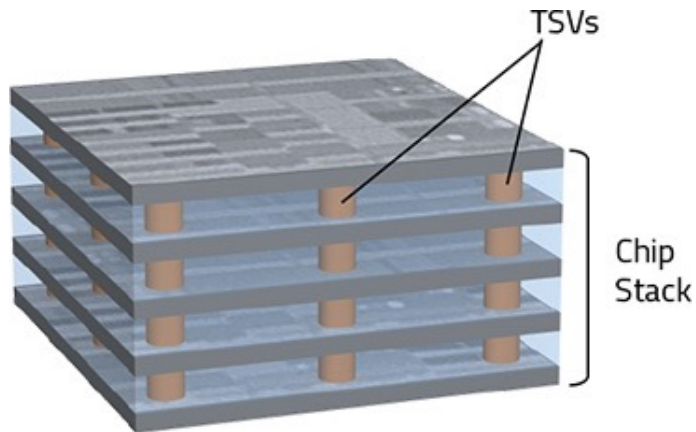


[More than Moore] 이종 칩 결합(Heterogeneous Integration) (1)

전통적인 Package 기술에서 최신 Package 기술로 (TSV, RDL, Interposer)

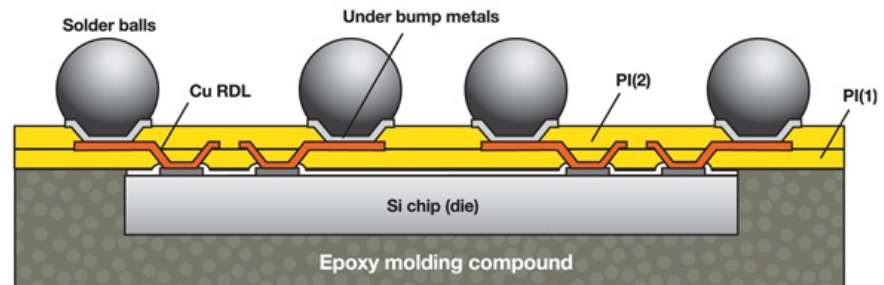
- 간단하게 전자기기에서 배터리를 제외한 대부분의 영역은 Package임. 반도체를 Packaging 하는 이유는 크게 네 가지로 나눌 수 있음. 반도체 칩과 외부와의 소통(Interconnection), 외부에서 반도체 칩으로의 전력 공급(External power supply), 외부 충격으로부터의 보호(Protection), 열의 효율적인 배출(Thermal Dissipation)
- 무어의 법칙으로 인해 반도체 칩의 성능 증가, interconnection(PAD, Bump 등)의 증가 때문에 반도체 칩과 PCB 기판의 기술적인 격차가 벌어지게 되었고 이를 해결하기 위해서 Package도 발전해 옴. 그러나 항상 반도체 칩의 발전에 비해서 Package 기술의 중요도와 발전 속도는 낮았음.
- TSV는 주로 2010초 중반 활발히 연구되었고, RDL은 주로 2015년 중후반에 활발히 연구가 되면서 Package에서 다양한 시도를 해보고자 하는 연구가 있어왔고 특히 앞에서 설명한 무어의 법칙의 한계가 오면서 TSV, RDL, interposer 기술 등을 이용한 이종 칩 결합의 시대가 오게 됨.

TSV(Through Silicon Via, 수직 관통 전극) 컨셉도



자료 : 램리서치, 신영증권 리서치센터

RDL(Redistribution layer, 재배포선) 컨셉도



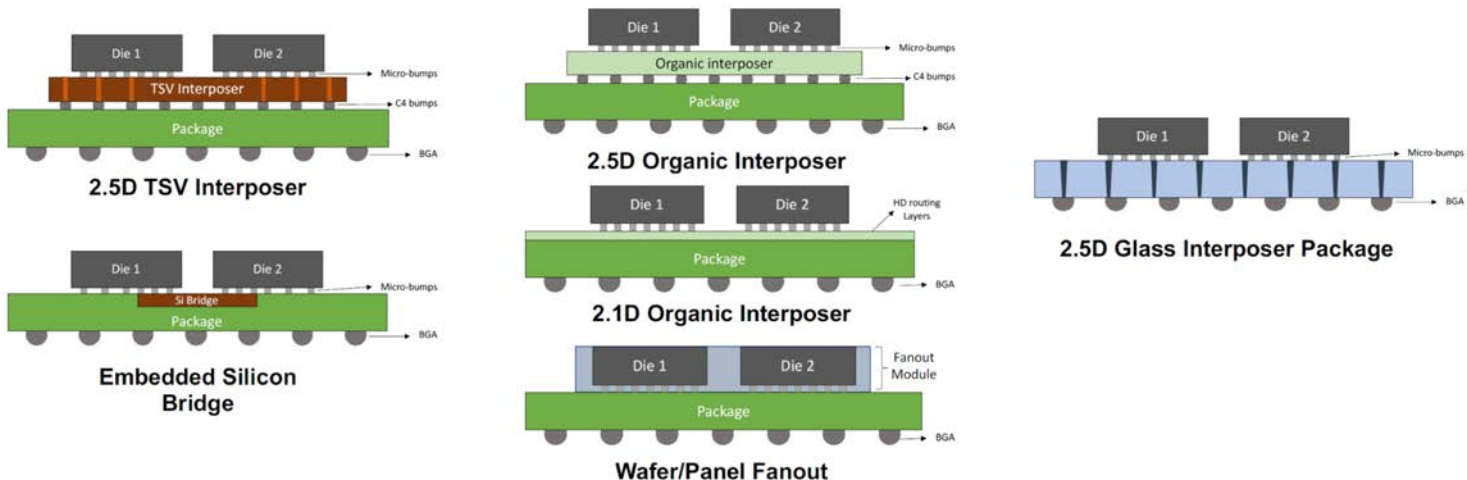
자료 : 업계자료, 신영증권 리서치센터

[More than Moore] 인터포저가 중요한 이유

이종 칩 결합의 필수 요소 중 하나인 인터포저(interposer)

- Processor와 HBM을 이종 칩 결합할 때 각각을 따로 패키징 하지 않은 상태에서 바로 조립함. 이는 수천 개의 interconnection(1개의 HBM마다)을 연결하기 위해서 패키징을 하지 않고 바로 중간 기판인 interposer를 이용해 연결하는 이종 칩 결합이 유리하기 때문.
- 현재 주로 사용되고 있는 PCB 기판의 CTE(열팽창 계수)가 반도체 Silicon의 CTE와 차이가 크기 때문에 선풍이 미세한 경우 PCB에 반도체 칩을 바로 집적하기 어려움. (bump가 미세 pitch로 갈수록) 또 interface 개수의 증가로 인해 필연적으로 미세 pitch로 선풍을 구현할 수밖에 없는데 기존 PCB에서는 아직 미세 패턴 구현이 어려움.
- 결국 중간다리 역할을 하는 interposer를 사용할 수밖에 없고 현재는 Silicon interposer가 대세로 사용되고 있음. 이는 기존 wafer 용 전공정 장비를 그대로 사용할 수 있기 때문에 공정 편의성이 가장 크기 때문임. 하지만 silicon interposer의 가격, warpage 등의 이슈로 다양한 대안이 나오고 있는 상황. 가장 대표적인 경우가 Silicon bridge를 활용하는 사례로 interface의 pitch가 미세한 영역만 Silicon을 사용하는 방식을 통해 cost, warpage 등을 줄일 수 있음.

다양하게 구현이 가능한 인터포저 (2.5D, 2.3D, 2.1D, Silicon bridge, glass, RDL)



[More than Moore] 미래의 인터포저 : Glass와 RDL

Silicon Interposer의 단점을 개선하고자 나온 Glass Interposer, RDL Interposer

- Silicon interposer는 현존하는 wafer 기술들을 충분히 활용할 수 있다는 점에서의 장점이 있지만 wafer로 구현하는 만큼 가격이 비싸고 warpage issue(휨 현상) 등의 단점이 있음.
- 이는 소재적인 특성으로 그 대안인 Glass Interposer와 RDL Interposer가 제안되고 있음. RDL Interposer는 Si interposer를 제거하고 RDL로만 chip과 PCB의 간극 (Pitch, 열팽창계수)을 해결하고자 하는 방식.
- Glass로는 최근 Interposer뿐 아니라 PCB까지 대체하자는 계획이 나오고 있음. Glass의 Silicon 대비 장점은 Silicon 보다 열팽창 계수 특성이 좋고, 물성적으로 단단한 이점 때문에 warpage issue가 줄어든 다는 장점. 또한 유전상수가 낮아서 Signal 전송 효율이 올라간다는 장점이 있음. 아래 표에서 확인 가능하듯이 Energy-per-bit이 Silicon interposer 사용 시 1.025pJ/bit, Glass Interposer 사용 시 0.36 pJ/bit으로 약 3배 개선됨을 확인할 수 있음.
- 하지만 양산성이 가장 큰 문제. Glass의 경우 wafer의 장비를 그대로 사용하기 어렵다. 또한 단단한 물성적인 특성 때문에 TGV (Through Glass Via) 사용 시 기판이 깨지는 현상의 문제가 있음. 인텔은 2030년까지 상용화를 발표함.

Glass Interposer와 다른 Interposer의 성능 비교 (최종적으로는 Interposer뿐 아니라 PCB 기판까지 대체하려고 계획 중)

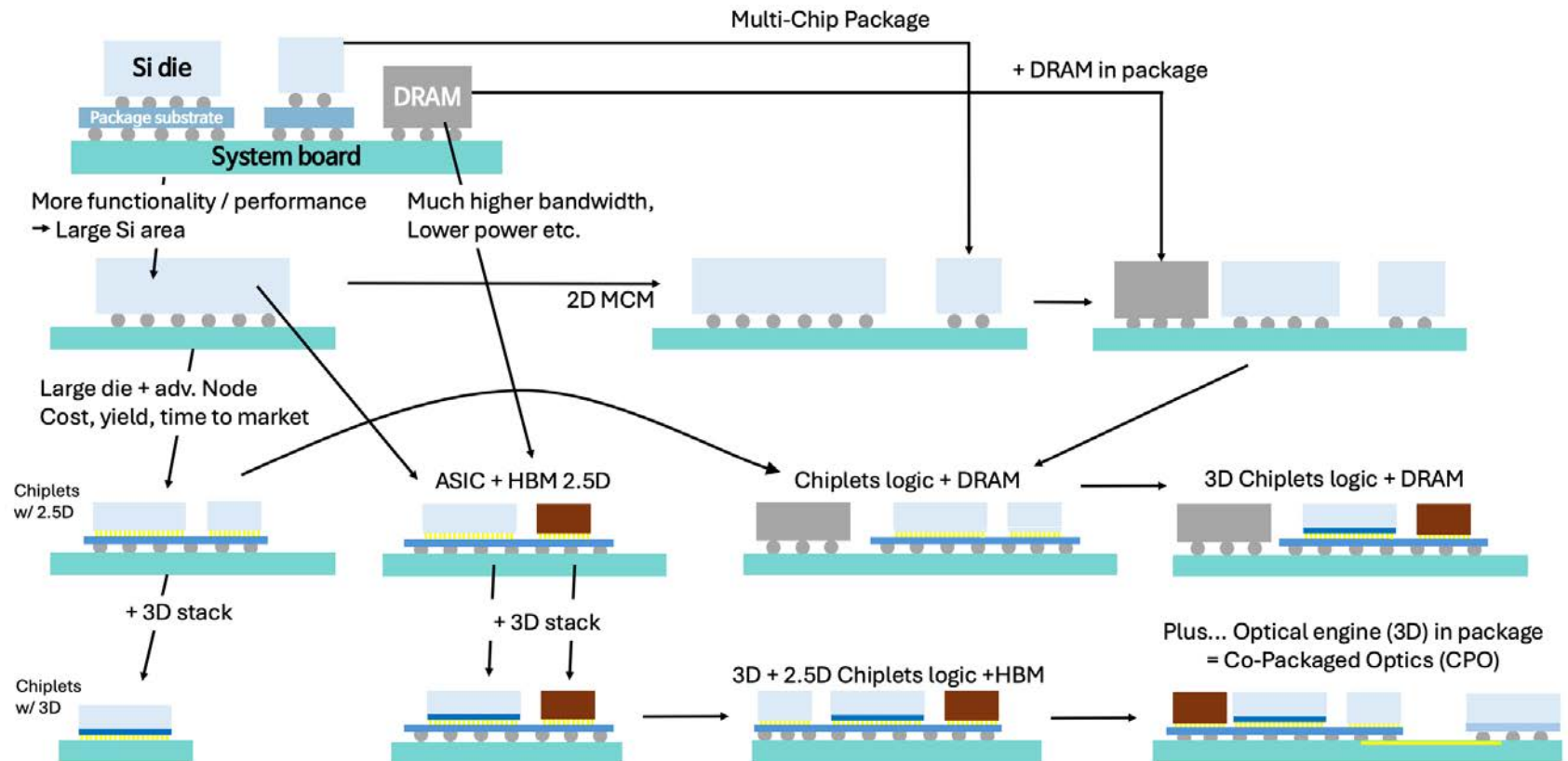
	2D/2.5D Integration						Glass Interposer (Mukhopadhyay, et al. '19)	3D Integration	TSV-based		Non-TSV
	Silicon			Organic		3D IC w/ TSV (Zhang, et al. '18)		Hybrid Bonding (Chen, et al. '19)	3D Glass Embedding (Ravichandran, et al. '19)		
	TSV Interposer (Martwick, et al, 2016)	Si Bridge (EMIB) (Mahajan, et al, 2019)	Silicon IF (Jangam, et al, 2018)	Organic Interposer (Turner, et al, 18)	Chip-last Fanout (Wang, et al 2019)						
Status	Commercial	Commercial	Research	Commercial	Development	Research	Status	Commercial	Commercial	Research	
Dielectric constant	3.9	3.9*	3.9	3.0*	3.2	2.5-3.0	Dielectric Constant	3.9*	3.9*	2.5-3	
IO pitch	50 μ m	45 μ m	10 μ m	55 μ m	40	55 μ m	IO pitch	40 μ m	10 μ m	20 μ m	
Interconnect length	5 mm	5 mm	0.5 mm	6 mm	1 mm	2.5 mm	Interconnect length	75 μ m*	50 μ m*	35-50 μ m	
Interconnect density	250 IO/mm/layer	300 IO/mm/layer	n/a	25 IO/mm/layer	500 IO/mm/layer	250 IO/mm/layer	Interconnect density (IO/mm ²)	625	10000	2500	
V _{swing}	1.2 V	1 V	1 V	0.15 V	1 V	1 V	V _{swing}	0.7 V*	1 V*	1 V	
R _{on} /C _{in} /C _{out} (fF/f)	39/0.4p/0.4p	50/0.5p/0.5p	30/50f/50f	n/a	50/0.4pF/0.4pF	30/0.3pF/0.3pF	R _{on} /C _{in} /C _{out} (fF/f)	n/a	n/a	50/50f/50f	
Data rate/IO	2 Gbps	5 Gbps	4.21 Gbps	20 Gbps	9.5 Gbps	9.2 Gbps	Data rate/IO	1.69 Gbps	n/a	1.86 Gbps	
Bandwidth density	500 Gbps/mm	1500 Gbps/mm	1300 Gbps/mm	500 Gbps/mm*	4750 Gbps/mm	2300 Gbps/mm	Bandwidth density	1.76 Tbps/mm ² *	n/a	4.65 Tbps/mm ²	
Energy-per-bit	1.025 pJ/bit*	1.2* pJ/bit	0.4 pJ/bit	0.58 pJ/bit	0.78 pJ/bit*	0.36 pJ/bit	Energy-per-bit	76.2 fJ/bit	7 fJ/bit*	11.2 fJ/bit	
* Derived metric							* Derived metric				

[More than Moore] 이종 칩 결합(Heterogeneous Integration) (2)

TSV, RDL, Interposer로 구현할 수 있는 다양한 Heterogeneous Integration 방식

- TSV, RDL, Interposer등 기술을 응용하면 매우 다양한 방식의 이종 칩 결합이 가능.

Amkor에서 시도 중인 다양한 방식의 Heterogeneous Integration



[More than Moore] 이종 칩 결합(Heterogeneous Integration) (3)

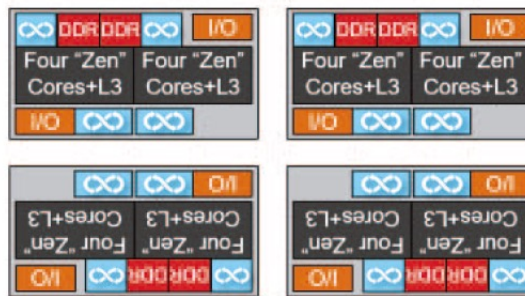
More than Moore 시대의 대표주자, 이종 칩 결합의 시대는 이제야 시작

- Heterogeneous Integration(이종 칩 결합) 패키징 기술 : 별도로 제조된 부품을 상위 수준으로 통합하는 것으로 WLP, SiP, TSV, interposer, RDL 등의 기술을 사용함.
- 앞서 설명한 바와 같이 무어의 법칙이 한계에 다다르면서 트랜지스터의 집적도는 올라가지 않는데 성능을 올리기 위해서 반도체 칩에 집적되는 트랜지스터 개수가 증가. 그로 인해 반도체 칩의 면적은 커지게 되었고 Reticle size limit issue, 수율 저하 issue에 의한 한계에 부딪힘.
- 결국 반도체의 성능을 개선하기 위해서 아래 오른쪽(인텔의 폰테베키오)과 같이 반도체를 기능 별로 구분하여 제작해서 조립하는 이종 칩 결합의 시대가 필연적으로 오게 됨.
- AMD는 전 세계에서 컴퓨터 구조 분야의 가장 권위 있는 학회인 ISCA를 통해 32core의 monolithic chip 대비 4개로 나뉘어진 8core 칩을 이종 칩 결합하여 면적은 9.7% 증가하였지만 0.59배의 가격으로 제조가 가능하다고 발표.

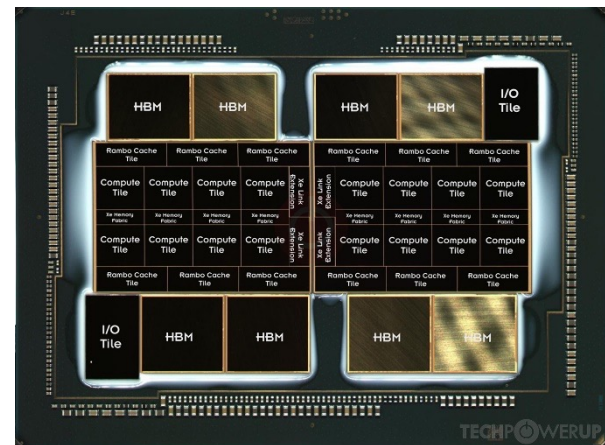
AMD가 ISCA 2021 에서 발표한 내용(좌), Intel이 실제 구현한 폰테베키오 칩(우)



Monolithic 32-core Chip
777mm² total area
1.0x Cost



4 x 8-core Chiplet, 213mm² per chiplet
852mm² total area (+9.7%)
0.59x Cost



자료 : Samuel Naffziger et al. "Pioneering Chiplet Technology and Design for the AMD EPYC™ and Ryzen™ Processor Families" ISCA, 2021 , TechPowerup, 신영증권 리서치센터

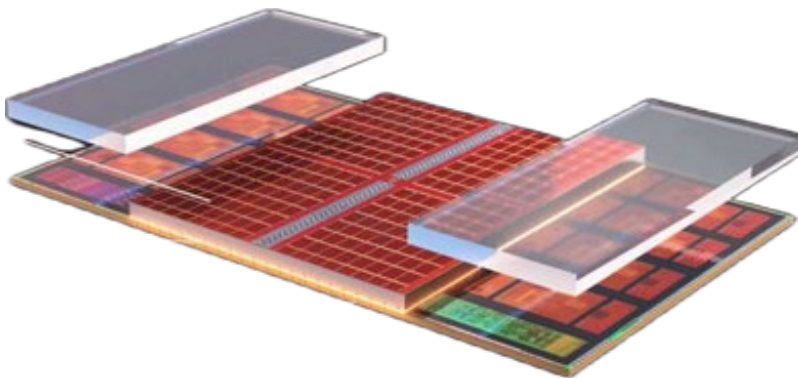
[More than Moore] 이종 칩 결합(Heterogeneous Integration) (4)

More than Moore 대표주자, 이종 칩 결합의 시대는 이제야 시작

• 이종 칩 결합의 장점은 다음과 같음.

1. Reticle size limit에서 벗어나 자유롭게 반도체 칩의 크기를 키우면서 성능을 올릴 수 있음.
2. 각 chip die 별로 해당 동작에 맞는 공정으로 생산할 수 있음. (가격, 신뢰성, 저전력, 고성능 등등 필요한 공정을 택하여 쓸 수 있음.) 예를 들어 High speed Interface는 신뢰도 높은 14nm 공정을 쓰고, High performance low power가 필요한 core chip은 3nm를 쓸 수 있다. 이로 인해 가장 cost efficient 하면서 performance efficient 하게 반도체 칩을 제조할 수 있음. (DRAM의 경우도 삼성전자 기준 최고의 고 신뢰성, High Speed가 필요한 GDDR7은 d1z prime 공정을 사용, 초 저전력설계가 필요한 LPDDR6의 경우 d1c공정을 사용하는 식으로 특성에 따라 공정을 다르게 사용.)
3. 위의 방식으로 특정 칩(ex. Interface chip)을 다음 세대에서도 재 설계할 필요 없이 reuse 할 수 있음.
4. Memory chip과 Processor chip이 가까워지면서 Memory Wall (40 page에서 다룸.)을 극복하는 데 도움이 됨.

V-cache를 사용하여 Memory wall의 문제를 개선한 AMD CPU(좌), 5개의 공정으로 47개 칩을 조립, 1000 억개 이상의 트랜지스터를 사용한 인텔 폰테베키오(우)

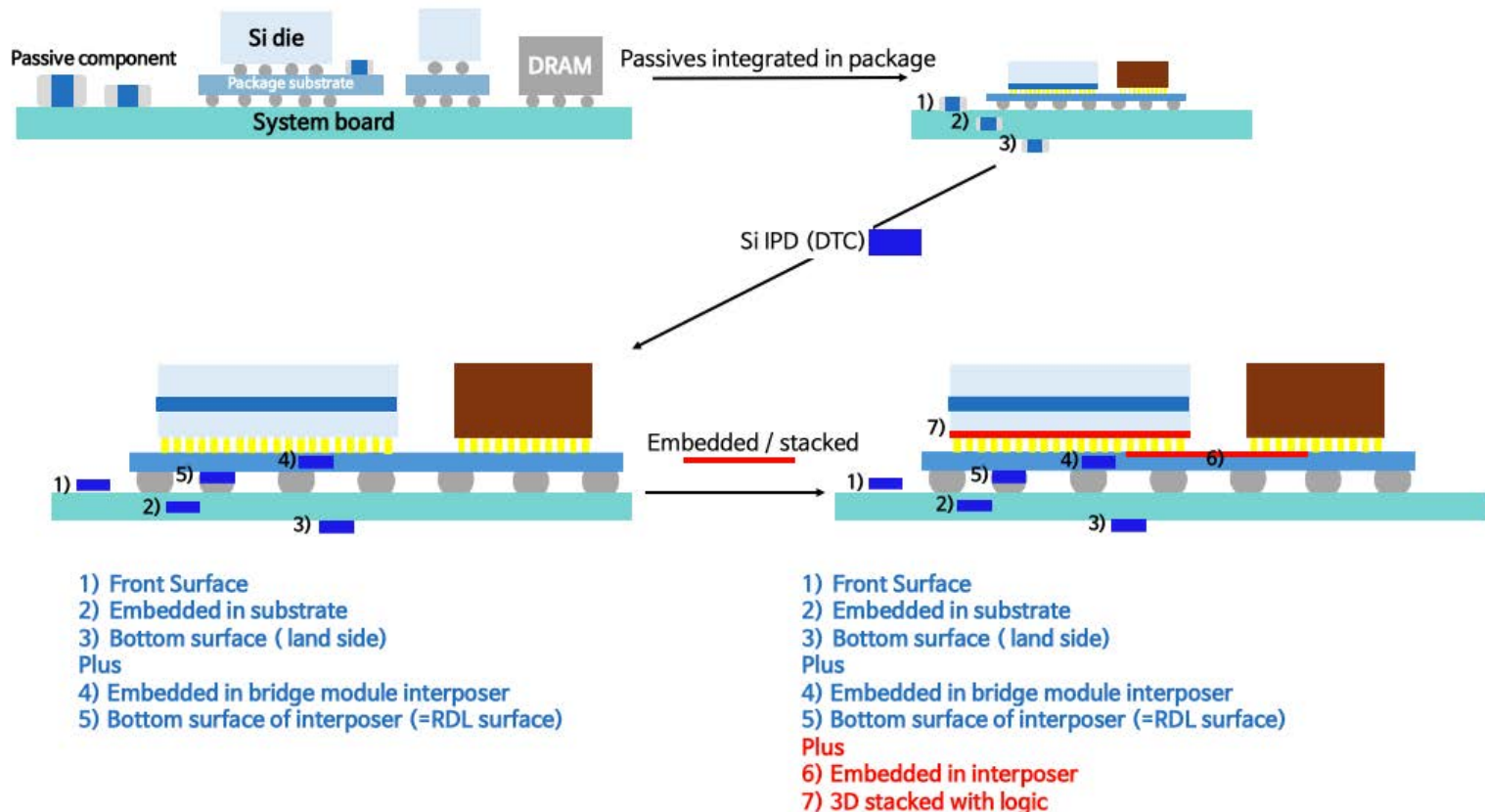


[More than Moore] TSMC의 IPD, 삼성전자의 ISC : Power 개선을 위해서..

IPD, ISC : MLCC, Inductor 등 다양한 수동소자들을 Package 안에 내장하는 기술

- MLCC, Inductor 등 기존 PCB 기판 위에 집적되던 수동소자들이 반도체 칩에 가까워질수록 Power Integrity (전압 무결성)이 개선되는 효과가 있음.

Amkor에서 시도 중인 다양한 방식의 Passive device Integration

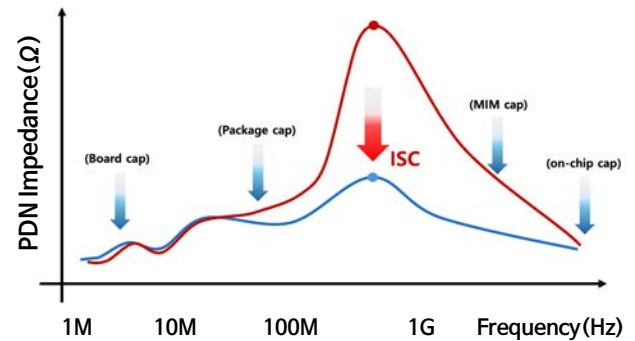


[More than Moore] TSMC의 IPD, 삼성전자의 ISC : Power 개선을 위해서..

TSMC COWOS_L의 IPD (Integrated Passive Device) , 삼성전자의 I-CubeE의 ISC (Integrated Silicon Capacitor)

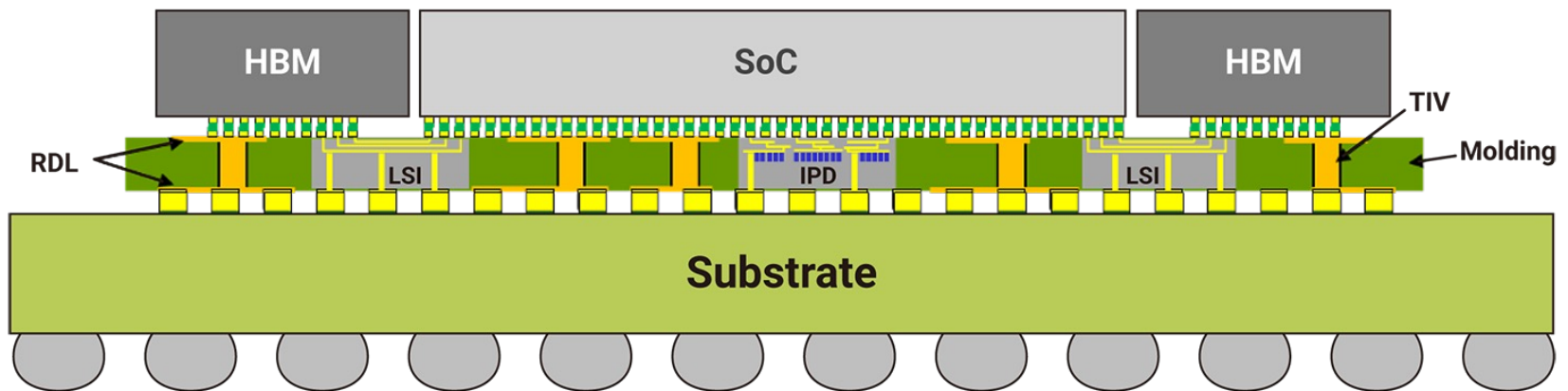
- TSMC COWOS_L의 IPD(Integrated Passive Device), 삼성전자의 I-CubeE의 ISC(Integrated Silicon Capacitor) 와 같이 Interposer 내부에 capacitor와 같은 수동소자를 내장하는 추세.
- 원래 PCB 기판 위에 실장 되던 MLCC(multi layer ceramic capacitor) 등의 passive device들이 interposer에 내장되어 반도체 칩과 거리적으로 가까워지게 되면 PDN(Power Distribution Network)의 Impedance 특성을 크게 개선하는 효과가 생김.

삼성전자 ISC의 PDN Impedance 개선 효과



자료 : 삼성전자, 신영증권 리서치센터

TSMC CoWoS_L : Silicon Bridge(LSI)와 IPD(Integrated Passive Device)를 함께 사용함



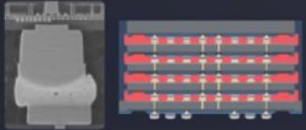
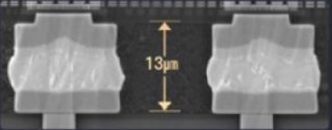
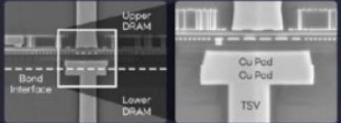
자료 : S. Ravichandran, Microwave Magazine, 2021, 신영증권 리서치센터

[More than Moore] 하이브리드 본딩은 이종 칩 결합의 결정체 (1)

이종 칩 결합의 필수 요소가 될 Hybrid bonding

- 이종 칩 결합 시대에서 가장 큰 미덕은 많고 짧은 길이의 interconnection임. (3D든, 2D든 그게 무엇이 되었든)
- 현재 많이 쓰는 칩 본딩 방식(TC-NCF, MR-MUF)은 왼쪽 아래의 그림과 같이 중간에 Solder가 들어간 ball을 녹여 chip to chip interface를 구현하는 방식.
- 궁극적으로 오른쪽 아래와 같은 Hybrid bonding 방식이 이종 칩 결합의 게임 체인저가 될 것.
- 다만 Hybrid bonding은 particle이 없도록 bonding 공정이 진행되어야 하며 모든 bonding copper의 균일한 dishing, 극도로 균일한 CMP 기술, micro alignment 기술 및 warpage control 등의 기술 난제를 해결해야 함.

SK하이닉스의 HBM Bonding 방식에 대한 Roadmap

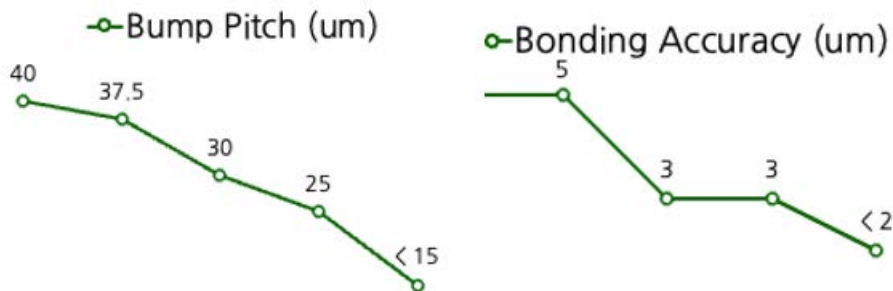
	HBM2	HBM2E	HBM3	HBM3 (12Hi) / HBM3E	HBM4
Stacking Tech.	TC-NCF	MR-MUF	Advanced MR-MUF	Hybrid Bonding	
Remark	 Thermo-compression w/High Stress NCF ✓ World 1st TSV chip stack	 15μm Low Stress Air ✓ Low bond force & Robust joints: Higher Bump portion (thermal dissipation ↑)	 13μm Low Force & thermal Air ✓ More Enhanced thermal dissipation : Lower gap height & thermal resistance ↓	 Advanced MR-MUF  Hybrid Bonding	
Achievable Stack Height	4Hi / 8Hi	4Hi / 8Hi	8Hi / 12Hi	12Hi / 16Hi	
Thermal R (Relative)	○ (1.0)	○ (0.65)	○ (0.55)	⊙ (0.5)	⊙ (0.4 ~ 0.5)

[More than Moore] 하이브리드 본딩은 이중 칩 결합의 결정체 (2)

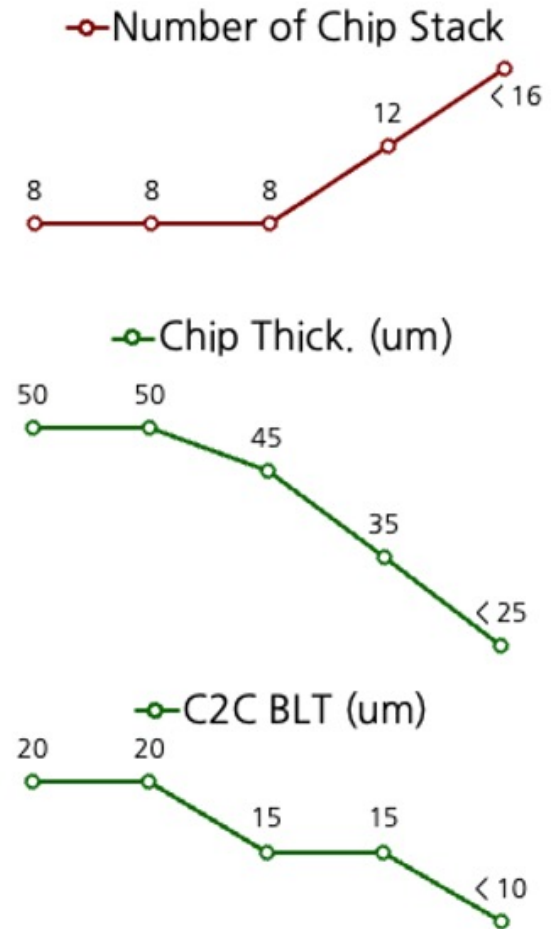
기존 3D Bonding 방식의 문제점 (ex.HBM)

- Hybrid bonding 방식의 이중 칩 결합이 대두된 이유는 간단히 HBM의 발전 과정을 보면 확인할 수 있음.
- 다른 이중 칩 결합과 마찬가지로 HBM도 점점 고단화하고자 하는 니즈가 있지만 packaging 단에서는 높이를 제한하고자 하는 니즈도 있기 때문에 각 chip의 두께를 줄이고, BLT (Bond Line Thickness)도 줄이는 방식으로 stacking 고단화에 따른 반도체 칩 전체 높이 증가를 방어해 옴. 하지만 Chip Thickness 제한은 한계가 있고, 기존 본딩 방식의 근본적인 이유로 BLT는 0이 될 수 없음. 16층 이상의 HBM에서 Hybrid bonding이 필수가 된 이유.
- 또 HBM이 고단화되면서 더 많은 Signal과 Power가 TSV를 통해서 위아래로 연결되어야 하는데 기존의 본딩 방식은 bonding pitch를 줄이는데도 한계가 있음. 여기에 더해서 기존 bonding 방식에서 존재하는 저항 성분으로 인한 열 발생 문제도 3D stacking 기술의 발목을 잡고 있음.
- Hybrid 본딩은 위의 모든 문제를 해결할 수 있는 기술로써 각광을 받고 있음.

기존 Bonding 방식의 한계 (ex.HBM)



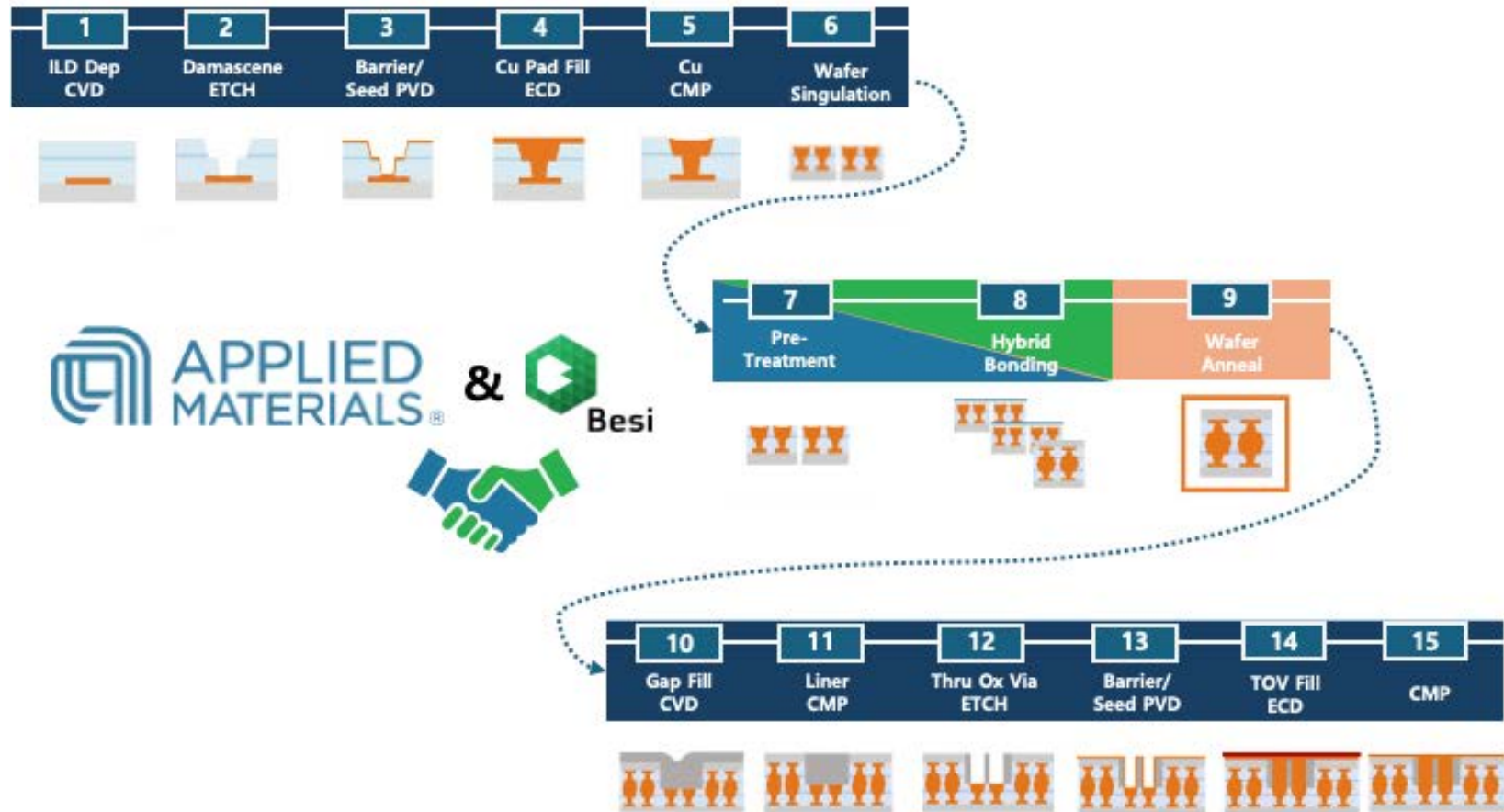
기존 Bonding 방식의 한계 (ex.HBM)



[More than Moore] 하이브리드 본딩은 이종 칩 결합의 결정체 (3)

Hybrid bonding의 process flow

가장 high end의 Hybrid bonding 장비를 협력해서 만들고 있는 AMAT과 Besi의 Hybrid Bonding process flow



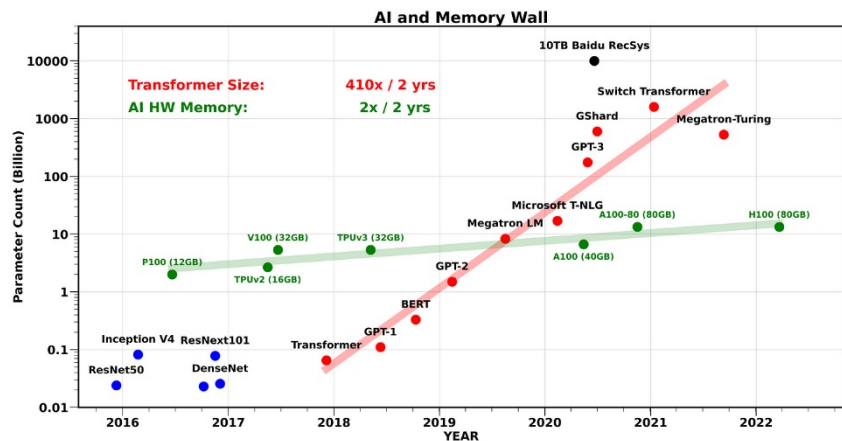
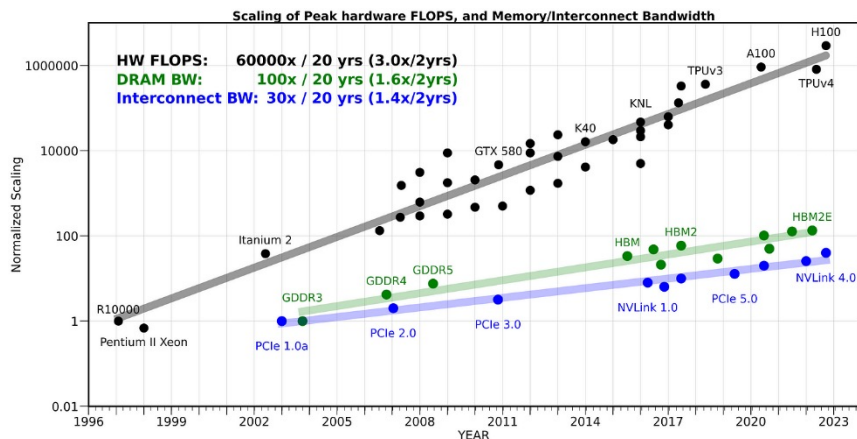
자료 : AMAT, Besi, 신영증권 리서치센터

[SysMoore] 폰 노이만 컴퓨터 구조의 한계 : 메모리 월

AI 시대의 Memory wall

- 폰 노이만의 컴퓨터 구조에서 processor와 memory 반도체는 별개로 개발되어 옴. 지난 20년간 processor의 성능은 6만 배 정도 발전해 왔지만 main memory(ex.DRAM)의 bandwidth는 100배, Interconnetion(ex.PCie)의 bandwidth는 30배 정도 증가함. 결국 메모리, 인터커넥션의 성능이 processor의 성능 증가를 따라가지 못함. 이 차이를 Memory wall이라고 하며 이로 인해 processor 및 컴퓨터를 충분히 활용하지 못하는 상황.
- 생성형 AI 시대에서 플래그십 AI transformer의 size는 근 2년간 410배 증가한 반면 AI 용 processor의 메모리 bandwidth는 2배 정도 밖에 증가하지 못함. AI 시대에 Memory wall은 더욱 높아진 것. Memory wall을 극복하지 못하면 현재와 같은 생성형 AI의 발전이 어려워짐. 이로 인해 업계에서는 메모리 bandwidth의 증가가 절박한 상황.
- HBM의 경우도 HPC를 위한 제품으로 개발되었지 처음부터 생성형 AI를 위한 메모리로 개발되지는 않았음. 하지만 생성형 AI의 등장으로 Memory wall을 해결하려는 간절한 필요성이 급부상하였고 이로 인해 작년 한 해는 HBM의 한 해라고 할 만큼 그 중요성이 부각됨.
- 하지만 HBM만이 유일한 해결책은 아님.

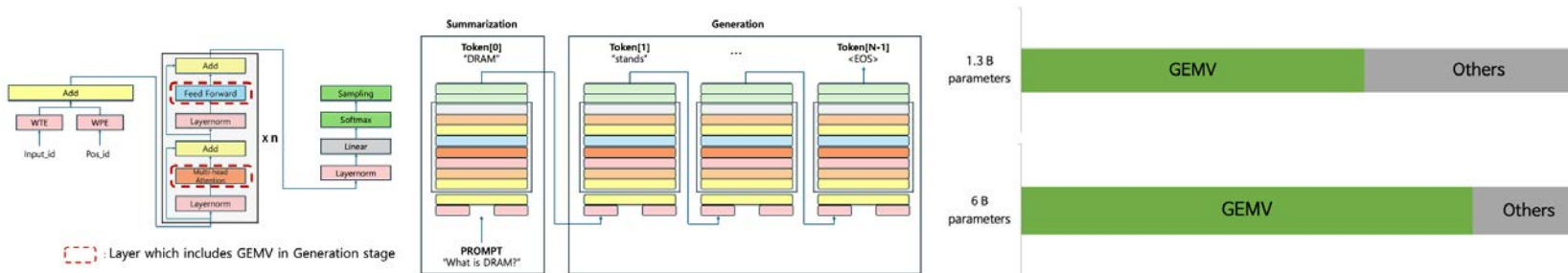
Memory wall (상),
AI application에서 더 벌어진 Memory wall (하)



자료 : Amir Gholami et al "AI and Memory wall", Micro, 2024, 신영증권 리서치센터

[SysMoore] 생성형 AI 시대의 메모리

생성형 AI 학습에 가장 많이 쓰이는 GEMV operation (좌), Parameter size에 따른 GEMV operation 비중(우)

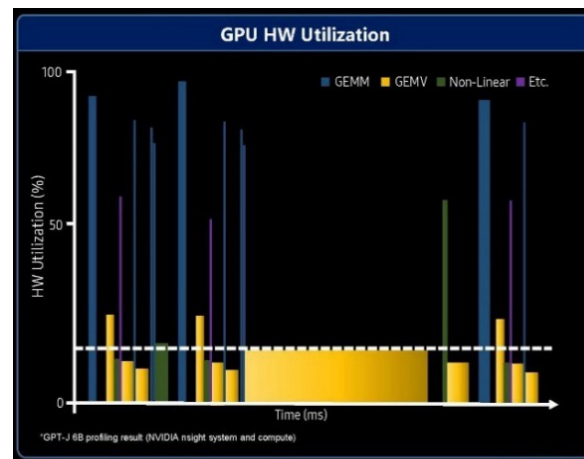


자료 : ISSCC 2024 삼성전자 발표 자료, 신영증권 리서치센터

Generative AI 학습에서의 GEMV bottleneck

- Generative AI 학습과정을 왼쪽 위 그림과 같이 간략화 시킬 수 있음. 이 중 Generation 영역에서 Feed Forward, Multi-head Attention 이란 과정을 반복하는데 해당 연산들에는 GEMV라고 하는 행렬 곱 연산을 포함하는 작업이 들어감.
- GEMV 연산에서는 Memory에서 큰 용량의 vector를 읽어오거나(Read) 다시 쓰는(Write) 과정이 필요한데 이 과정에서 memory bandwidth가 더욱 중요해짐. 특히 오른쪽 상단의 그래프와 같이 generative AI 모델의 parameter size가 커질수록 GEMV operation이 전체 AI 학습 과정에서 차지하는 비중은 커짐. (GPT4기준 1.8조개 parameter로 추측됨.)
- 오른쪽은 Generative AI 학습과정에서의 Hardware 활용도를 시간 축으로 확인한 결과인데 GEMV operation 수행 시 Hardware 활용도가 크게 떨어짐을 확인 가능함. 즉, GPU,TPU등의 성능을 아무리 개선해도 memory wall에 의해서 bottleneck이 발생.

GEMV bottleneck



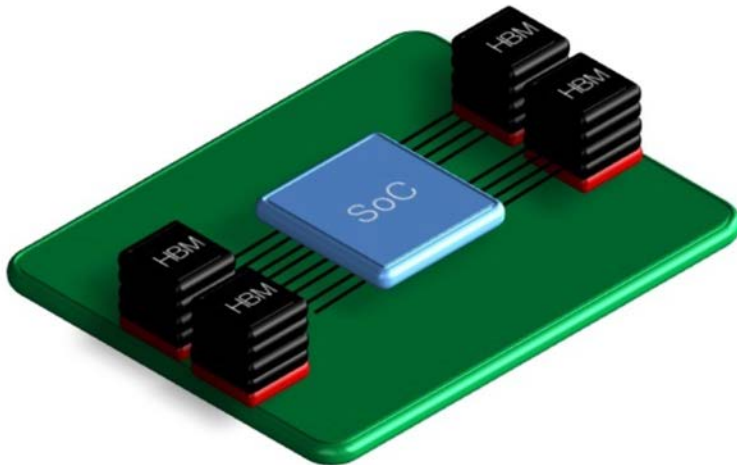
자료 : 엔비디아, 삼성전자, 신영증권 리서치센터

[SysMoore] 현재 가장 각광받는 메모리 기술 : HBM

Memory wall 개선을 위한 가장 대표적인 메모리 : HBM(High Bandwidth Memory)

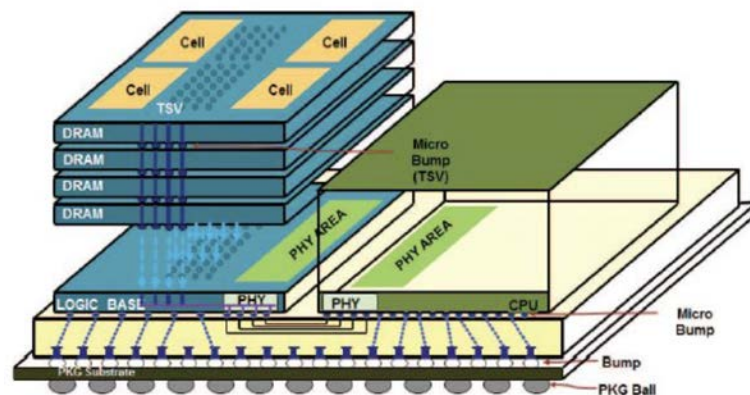
- HBM은 원래 Generative AI를 위해서 나온 메모리는 아니었고 HPC에서 High Bandwidth를 지원하여 Memory wall 을 낮춰보자는 취지로 개발된 메모리 제품. 최초로 이중 칩이 결합된 DRAM 제품이라는 의미가 있음.
- 2023년부터 생성형 AI 시장이 폭발적으로 성장하였음. 이는 parameter수의 증가에 비례하여 AI 성능을 기하급수적으로 끌어올릴 수 있어서 가능해짐. 사용되는 parameter 수의 증가는 결국 그 parameter의 변수들을 병렬적으로 처리할 수 있는 GPU의 필요성, GPU 함께 사용될 메모리의 high bandwidth에 대한 필요성(특히 GEMV operation에서)의 급격한 증가로 이어짐.
- 이에 따라 작년은 HBM의 한 해라고 할 수 있을 정도로 HBM과 그를 개선하기 위한 기술이 각광을 받음. 앞으로 HBM의 bump 수 증가(ex. x2048 IO width @ HBM4), Stacked DRAM의 고층화, u-bump 핀 당 스피드 증가가 로드맵으로 제시되어 있고 이와 관련하여 현재 가장 주목받고 있는 기술은 좁은 pitch의 TSV 구성, wafer thinning과 warpage control, chip stack/underfill, 미세 pitch의 u-bump formation, Power TSV와 “설계 최적화”로 요약해 볼 수 있음.

HBM 들과 Processor 연결 모식도 (SoC + 4개의 HBM)



자료 : 업계자료, 신영증권 리서치센터

HBM과 Processor 연결 모식도 (interposer 포함)



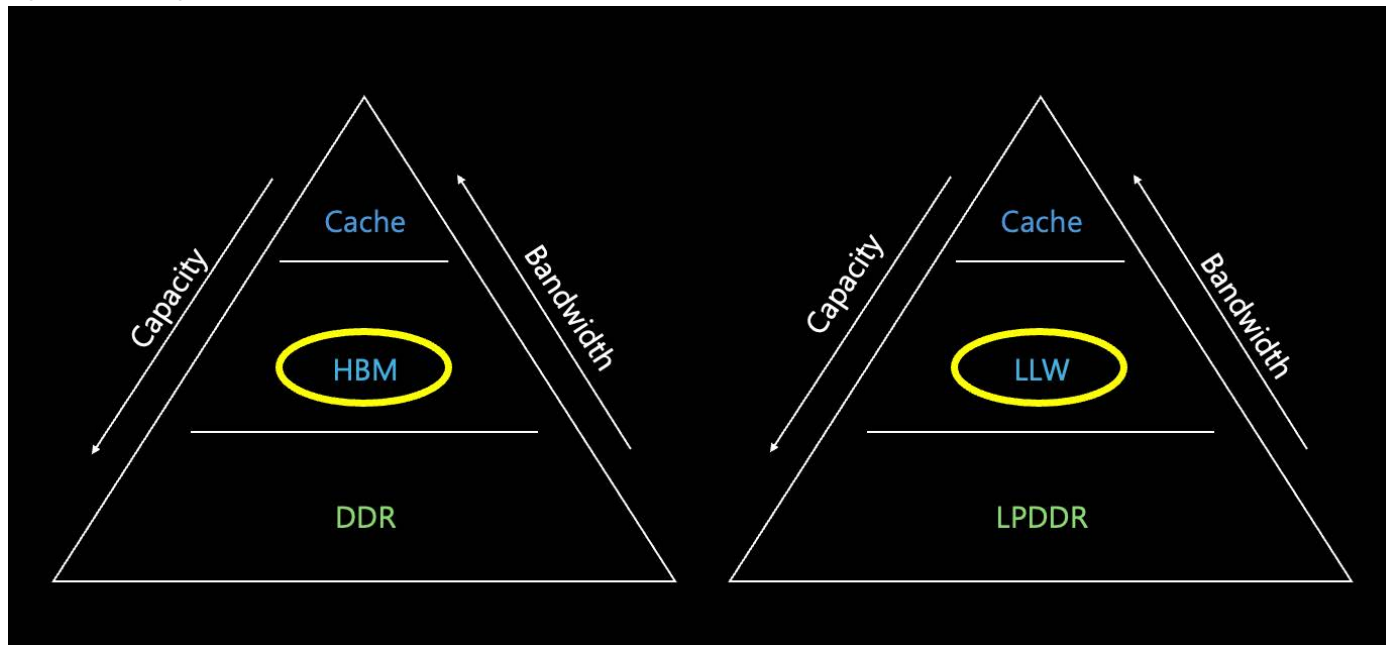
자료 : AMD, 신영증권 리서치센터

[SysMoore] HBM의 온 디바이스 버전 : LLW

On device AI를 위한 HBM : LLW (Low-Latency Wide-IO)

- LLW는 DRAM의 Energy efficiency를 극단까지 내리면서 Bandwidth를 올려보자는 취지의 memory 제품.
- HBM이 HPC를 위한 near memory solution이었다면 LLW는 Mobile 제품들을 위한 near memory solution이 될 것.
- 프로세서 회사들이 가장 원하는 것은 cache memory를 최대한 많이 넣고 싶은 것이지만 capacity 문제로 DRAM을 사용하는 중. 모바일, 특히 On device AI를 위한 모바일 제품에서 LLW가 반드시 필요해질 것으로 추측됨.

Memory Hierarchy에서 HBM과 LLW의 위치



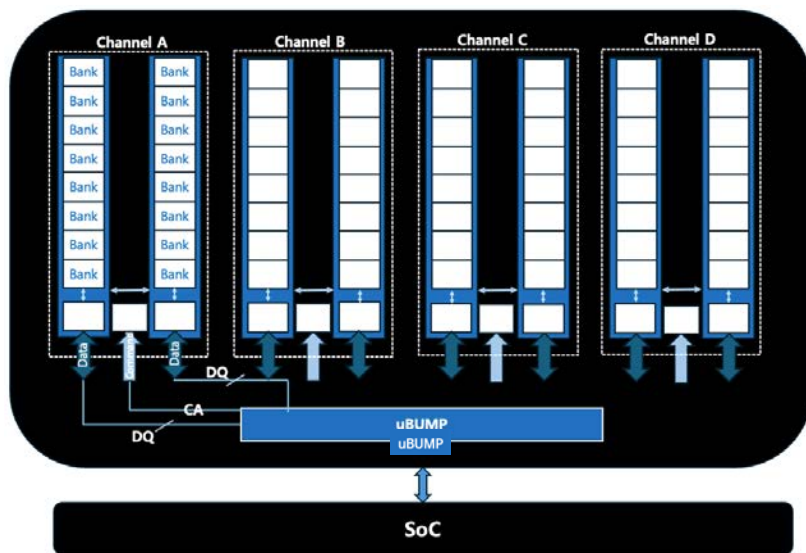
자료 : ISSCC 2024 삼성전자 발표자료, 신영증권 리서치센터

[SysMoore] HBM의 온 디바이스 버전 : LLW

LLW는 다양한 애플리케이션에 적용될 것 (edge device, mobile device, sensor device 등)

- Mobile 제품군은 HPC보다 훨씬 다양함. 즉 LLW의 경우 여러 가지 방식으로 개발되고 다양한 환경에 실장 될 것으로 보임. 사용처와 쓰임새가 다양하고 모바일 제품 특성상 최적화가 매우 중요하기 때문에 HBM보다 다양한 종류의 LLW 출현이 가능할 것으로 추측됨. (예를 들어서 애플 Vision pro에 실장 된 DRAM의 경우 1Gb, 512ea의 I/O 사용.)
- 프로세서와 메모리 간의 소통 Channel의 길이를 줄여 loading을 최소한으로 할수록 소모되는 전력이 감소됨. 이로 인해 LLW의 경우 프로세서 위로 TSV를 통한 3D Integration 될 가능성이 높음. (HBM의 경우 6mm 정도의 channel length에서 사용하지만 LLW가 SoC와 3D Integration될 경우 channel length는 under 1mm가 됨.)

LLW 컨셉도, LLW와 함께 사용할 SoC간의 interconnection을 짧게 하는 게 중요하다.(좌) / LLW 사용처 예시 (우)



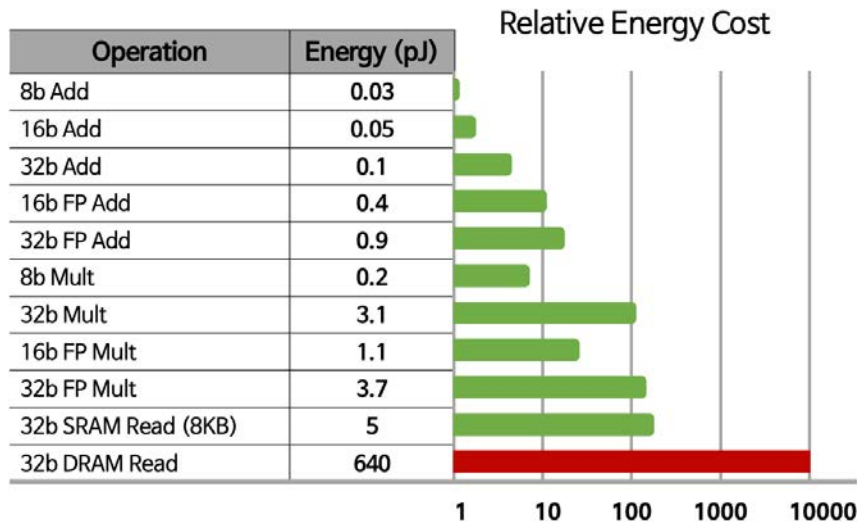
	NOW	NEXT
Technology	AR/VR	MR/XR
Host system	Smartphone / standalone VR	Glass type, Glass / HMD fusion
Display	4.4Mpixel (QHD) 60~120HZ	33Mpixel (8K) 90~144Hz
Camera	Multi Camera	Many camera ToF (LiDAR sensor)
SOC	CPU/GPU/NPU	+ New Accelerator IP
Memory System	LPDDR Unified Memory	Near + Far memory (LLW + LPDDR)
S/W	ARcore/ARkit	Tensorflow 3D

[SysMoore] 폰 노이만 구조를 깨부술 PIM(Processing-In-Memory)

PIM, 이제 활용할 시점

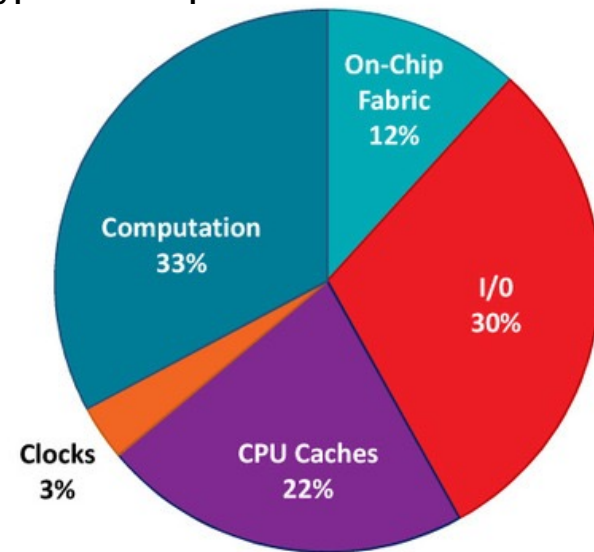
- 폰 노이만 컴퓨터 구조에서 Processor와 Memory 반도체는 별개로 개발되어 옴. Processor는 data를 가공하는데 충실하게 발전을 해왔으며 Memory는 저장능력을 올리는데 충실하게 발전해 옴.
- 아래의 왼쪽 표에서 볼 수 있듯이 DRAM의 데이터를 processor로 transfer 하는데 매우 큰 에너지를 사용함. 이는 우측 AMD의 자료에서 볼 수 있듯이 서버 동작에서 I/O (data Input/output)이 큰 전력 소모를 하게 함.
- DRAM과 processor 간의 data transfer에 드는 큰 에너지 소모를 줄이기 위해서는 data transfer 횟수 자체를 줄여야 하는데 메모리와 processor의 역할이 완벽히 나누어져 있는 현재의 폰 노이만 구조에서는 근본적인 해결책을 제시하기 어려움.

Processor의 각 operation에 따른 에너지 소모량



자료 : Computing's Energy Problem (and what we can do about it), ISSCC 2014
, 신영증권 리서치센터

Typical server power breakdown



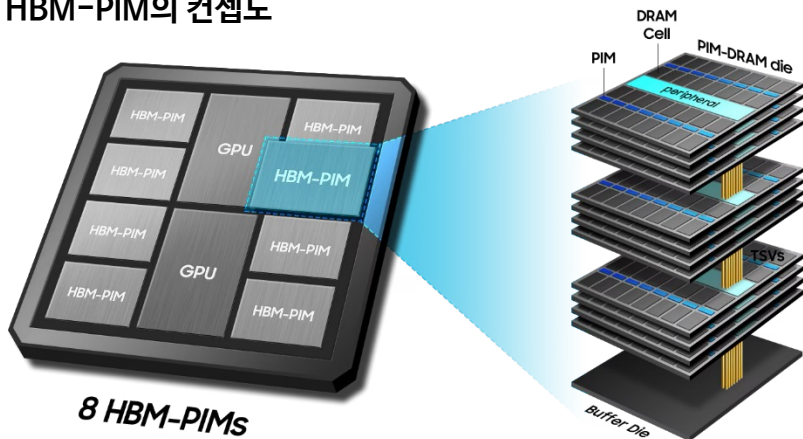
자료 : Lisa T.su et al, "Multi-chip technologies to unleash computing performance gains over the next decade", IEDM, 2017, 신영증권 리서치센터

[SysMoore] 폰 노이만 구조를 깨부술 PIM(Processing-In-Memory)

폰 노이만 구조를 허물면 Memory wall도 허물 수 있음

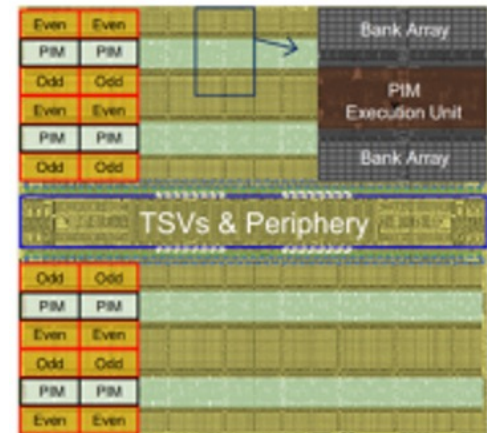
- 메모리의 역할과 프로세서의 역할이 명확하게 나누어져 있는 폰 노이만 구조를 조금 벗어나 메모리 안에서 일정 부분 프로세서의 역할을 수행하는 PIM(Processing-In-Memory)은 오래전부터 제시되어 온 컨셉.
- 생성형 AI의 중요성이 올라가면서 data transfer 횟수가 기하급수적으로 증가하게 되었고 PIM에 대한 관심이 다시 일어나고 있음. 현재 문제가 되고 있는 Memory wall을 근본적으로 크게 해결할 수 있는 최적의 솔루션이기 때문.
- PIM은 컨셉이기 때문에 HBM, DDR, LPDDR, GDDR 등 어떤 종류의 DRAM에도 사용할 수 있음.
- 하지만 PIM으로 기존 DRAM을 교체할 경우 기존 DRAM과 똑같은 latency로 data를 주고받을 수 없을 수도 있음. 또 프로그램들이 전혀 PIM을 고려하지 않고 개발되었기 때문에 PIM으로 교체함에 따른 실익이 없을 것으로 추측됨.
- 이를 해결하고자 삼성전자에서 제시하고 있는 컨셉이 Drop-in-replacement방식. (다음 장 설명)
- AI 용 데이터센터뿐 아니라 processor와 memory의 간격이 멀고 채널의 로스가 많은 모바일 환경에서도 활용도가 높을 것으로 예상됨. (LPDDR-PIM)

HBM-PIM의 컨셉도



자료 : 삼성전자, 신영증권 리서치센터

HBM-PIM의 core die 단면도



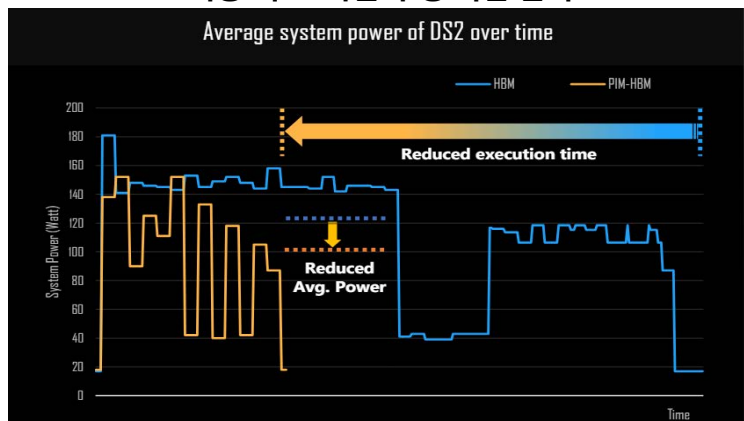
자료 : 삼성전자, ISCA 2024, 신영증권 리서치센터

[SysMoore] Drop-In-Replacement 방식을 사용한 삼성전자 PIM

기존 DRAM 과의 호환성을 위한 Drop-In-Replacement 방식

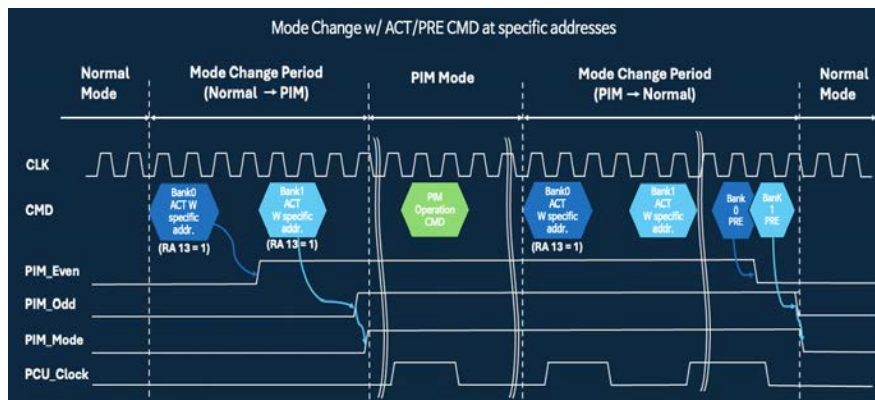
- 삼성전자가 제안한 Drop-In-Replacement 방식은 오른쪽 diagram과 같이 PIM_Mode가 켜져 있을 때만 PIM으로 동작하고 PIM_Mode가 꺼져있는 상황에서는 일반 DRAM으로 동작하는 방식.
- DRAM 외부, processor가 보았을 때 PIM의 연산 시간이 보이지 않도록 설계하는 게 중요할 것으로 추측됨. 그래야 PIM 모드에서도 기존 DRAM 동작 protocol을 따를 수 있어 진정한 의미의 “replacement”가 가능하기 때문. 아래는 실제 PIM mode 적용 시 개선된 성능을 보여줌. 성능은 2배 이상, 에너지 효율성은 3배 정도 증가함을 볼 수 있음.

HBM-PIM 적용 시 AI 학습 수행 시간 단축



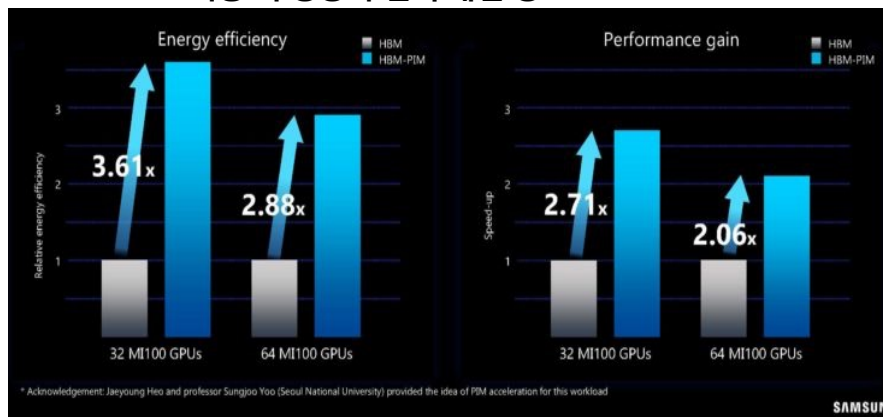
자료 : ISSCC 2024 삼성전자 발표자료, 신영증권 리서치센터

삼성전자에서 제시한 Drop-In-Replacement 방식의 PIM



자료 : ISSCC 2024 삼성전자 발표자료, 신영증권 리서치센터

HBM-PIM 적용 시 성능과 전력 개선 정도



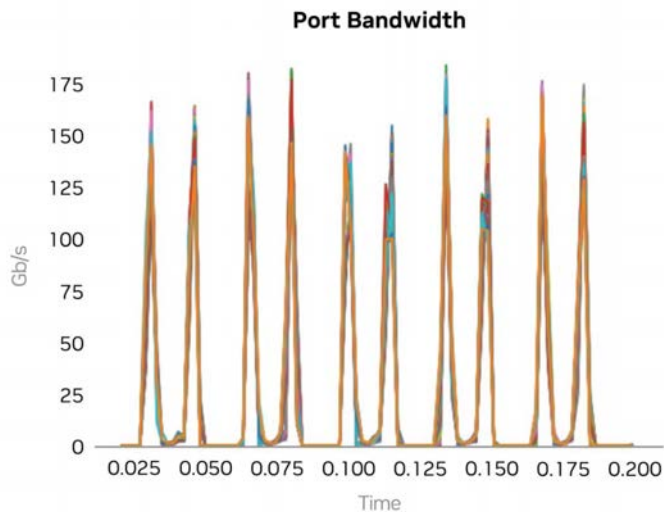
자료 : 삼성전자, 신영증권 리서치센터

[SysMoore] 생성형 AI 용 반도체의 다음 과제는 Network

Power wall, Memory wall 다음은 Network wall

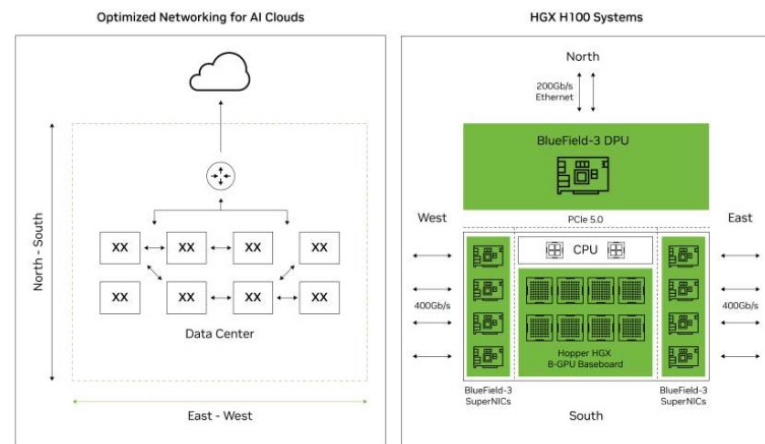
- 생성형 AI가 발전하면서 AI의 parameter size가 커지고 있음. 그로 인해 데이터센터에서 수천~수만 개의 server를 동시에 이용하여 학습을 하고 있음. 하나의 workload를 처리하는데 기존의 경우 수십 개 정도의 서버가 협업했다면 생성형 AI 데이터센터는 AI 학습을 위해 수천 개 이상의 서버가 긴밀히 협업해야 함. 아직은 그 어떤 하드웨어도 단독으로 거대 규모의 AI 학습을 할 수 없고 대규모 언어 모델(LLM)은 엄청난 양의 데이터를 이용해 수천 억 개의 모델 파라미터를 학습해야 하기 때문에 단순히 수십~수백 개의 서버로는 부족하기 때문. 이렇게 수천 개 이상의 서버가 데이터를 서로 주고받는 데에는 매우 정교한 데이터 교통정리가 필요함. 마치 데이터센터 전체가 하나의 서버와 같이 동작해야 함.
- 생성형 AI 학습을 위한 특수 네트워크 플랫폼이 필요한 이유. 왼쪽 아래의 그림과 같이 AI 모델 학습은 수 밀리 세컨드마다 유니크한 방식의 high bandwidth 데이터 트래픽을 보여주는데 이는 기존 서버에서 데이터 트래픽을 처리하던 방식으로 해결이 어려움. 모델 파라미터가 커질수록 AI 학습과 추론은 서버 간의 데이터 트래픽을 얼마나 잘 관리하느냐가 중요하게 될 것이고 이때 DPU(Data Processing Unit)와 SmartNIC (Network Interface Card)이 중요한 역할을 할 것.

AI 모델 훈련은 뚜렷한 트래픽 패턴을 나타냄.



자료 : NVIDIA, 신영증권 리서치센터

기존 서버(좌) 대비 AI cloud에 최적화된 networking model(우)
BlueField-3 SuperNIC은 GPU-to-GPU 직접 소통이 가능하게 해줌.



자료 : NVIDIA, 신영증권 리서치센터

[SysMoore] 엔비디아는 이제 단순 GPU 회사가 아님 (DPU, SmartNIC)

Network wall 시대의 최강 반도체 칩, 엔비디아 Infiniband SuperNIC, Bluefield-3 DPU

“There are three major pillars of computing going forward.
The CPU for general purpose computing, The GPU for accelerated computing,
and the ‘DPU’, which moves data around the data center and does data
processing.”

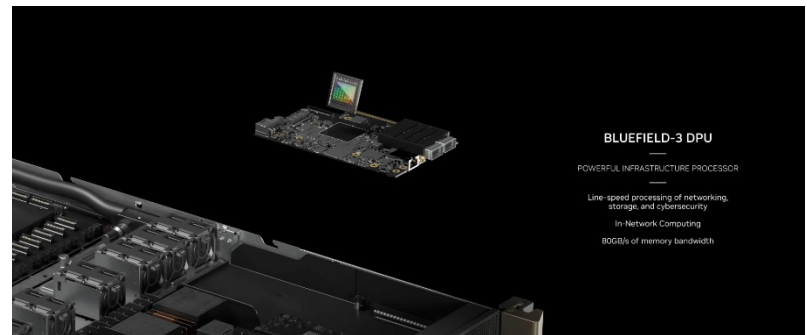
“앞으로 컴퓨팅은 세 가지 주요 기둥으로 이루어진다. 범용 컴퓨팅을 위한 CPU,
가속 컴퓨팅을 위한 GPU, 그리고 데이터 센터 주변의 데이터를 이동하고 처리하는 'DPU'”
-Jensen Huang @ GTC 2020 Keynote-

CONNECTX-800G INFINIBAND SUPERNIC



자료 : NVIDIA GTC 2024, 신영증권 리서치센터

BLUEFIELD-3 DPU



자료 : NVIDIA GTC 2024, 신영증권 리서치센터



IV. More than Moore, SysMoore 수혜주 : 챕터 1

- More than Moore든, SysMoore든 수혜 볼 기업

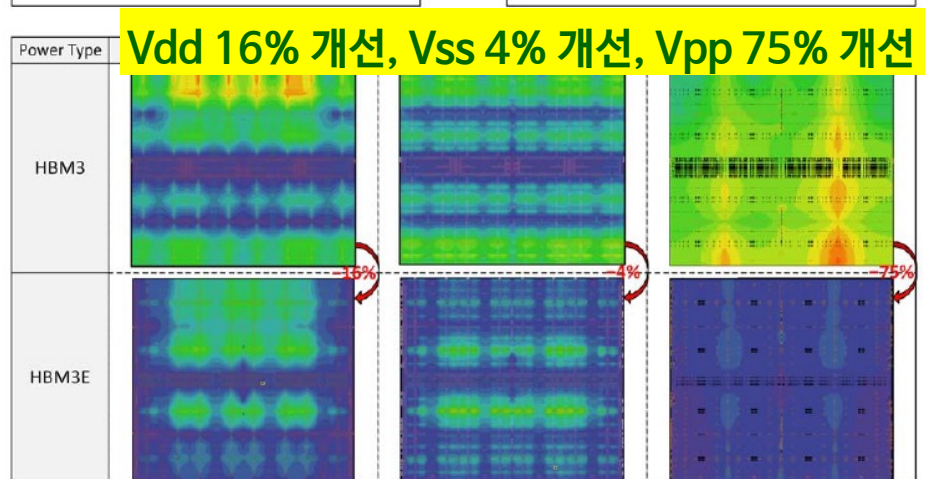
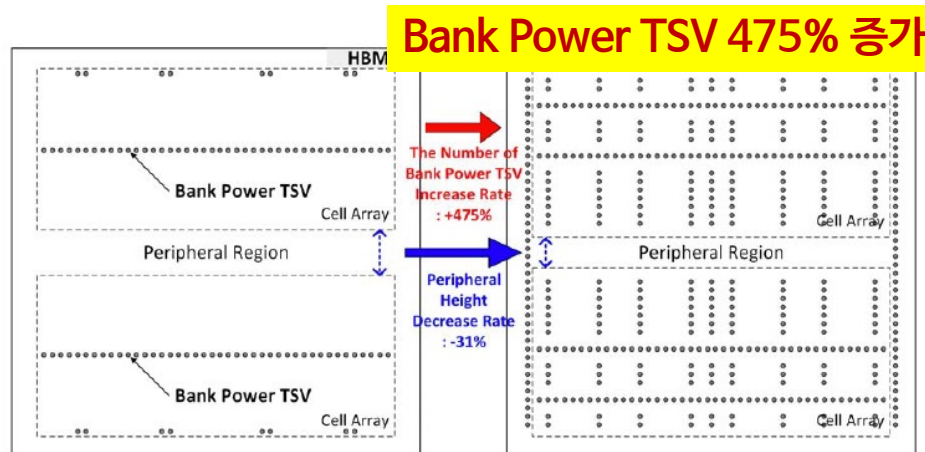


왜 SK하이닉스는 HBM3E에서 Power TSV를 475% 증가시켰을까??

Power TSV 개수를 475% 증가시킨 근거는??

- 세계에서 가장 권위 있는 반도체 설계 학회인 ISSCC 2024에서 SK하이닉스가 All-Around Power TSV 관련 논문에서 발표한 내용에 따르면 DRAM Core die Bank의 power 공급용 TSV를 기존 대비 475% 증가시켜서 Power 특성, Thermal 특성을 모두 개선했음.
- 두 가지 궁금증이 생김.
 - 1) 왜 그럼 이전(HBM3)은 적은 power TSV를 배치하였을까??
 - 2) power TSV를 배치하기 위해서는 가장 아래 logic die부터 위로 stack 되는 core die들까지 해당 영역을 확보해야 하며 이는 chip size 증가(chip의 단가상승)로 이어짐. 즉 Power TSV 개수와 die cost는 trade-off 관계. 무조건 Power TSV가 많다고 좋은 것은 아님. 혹시 250%면 충분했던 것 아니었을까?? 반대로 500% 증가하면 전압 공급 개선도가 훨씬 더 좋아지진 않았을까?? 비싼 가격을 상쇄하고도 남을 정도로.
- 분명 최적의 개수가 있을 것임. 그걸 어떻게 찾아야 할까??

ISSCC 2024에서 SK Hynix가 발표한 HBM3E All-Around Power TSV
좌: HBM3, 우: HBM3E(POC)



자료 : J. Lee et al "A 48GB 16-High 1280GB/s HBM3E DRAM with All-Around Power TSV and a 6-Phase RDQS Scheme for TSV Area Optimization" ISSCC, Feb 2024, 신영증권 리서치센터

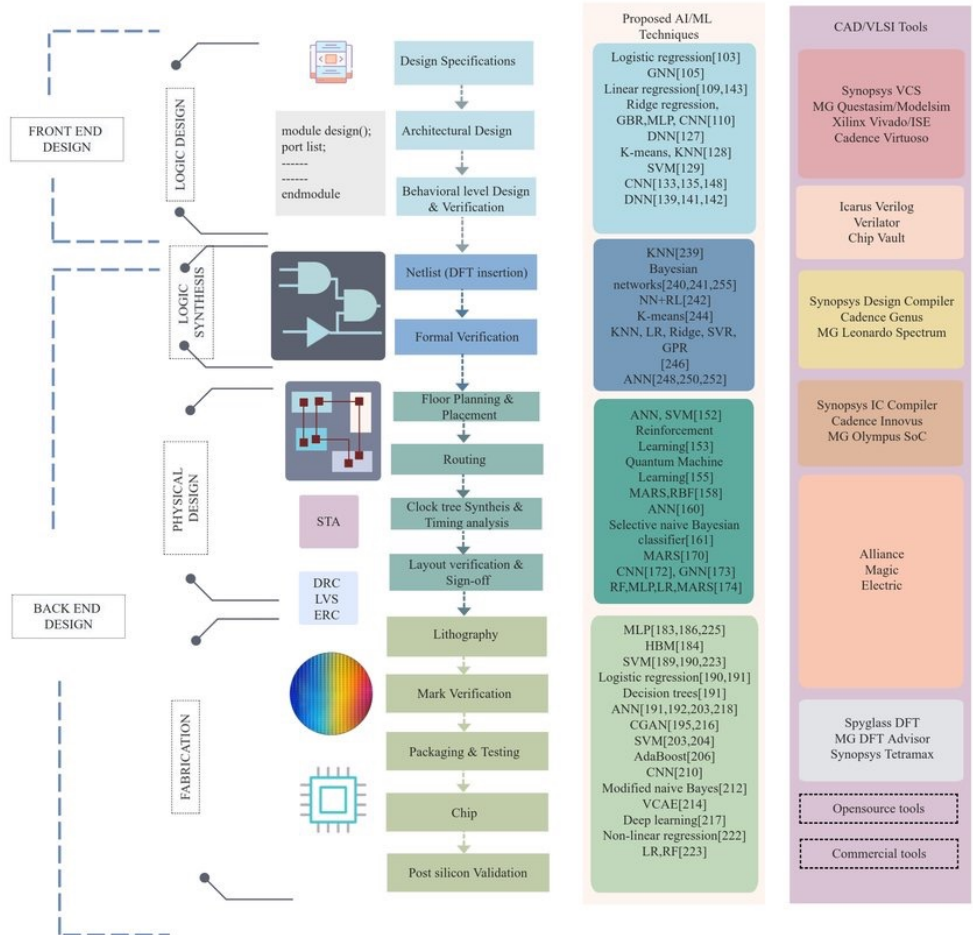
반도체 개발에서 “100-1=0”이다.

반도체 개발자들을 잠 못 들게 하는 “100-1=0”

- 100-1=99, 하지만 반도체 개발에 있어서 100-1=0이라는 말이 있음. 하나의 오차가 유발하는 문제가 너무 크다는 의미. 가장 High tech 제품인 반도체의 개발이 매우 보수적으로 진행되는 이유. 조금의 설계 오차는 심한 경우 동작 자체가 안되는 문제를 야기하고 심하지 않은 경우에도 수율 감소와 원가 증가로 이어짐. 반도체는 그 특성상 제품 기획, 개발의 전체 과정이 끝난 후 최종 제품이 나오는데 3개월 이상이 걸리기 때문에 결과물을 보고 설계를 수정할 경우 time to market의 문제, 공장의 고가 장비의 감가상각 문제 등으로 심각한 손해를 입음.
- 이런 문제를 최대한 해결하기 위해 반도체 제품 기획부터 제조의 전 과정을 위한 굉장히 많은 simulation, sign-off, verification, validation 용 EDA* tool들이 존재함.
- 반도체 EDA tool은 Synopsys, Cadence, Siemens 3개 사가 과점하고 있음.

(EDA : Electronic Design Automation)

반도체 칩 기획부터 제조까지의 과정과 각 과정에서 사용되는 프로그램들



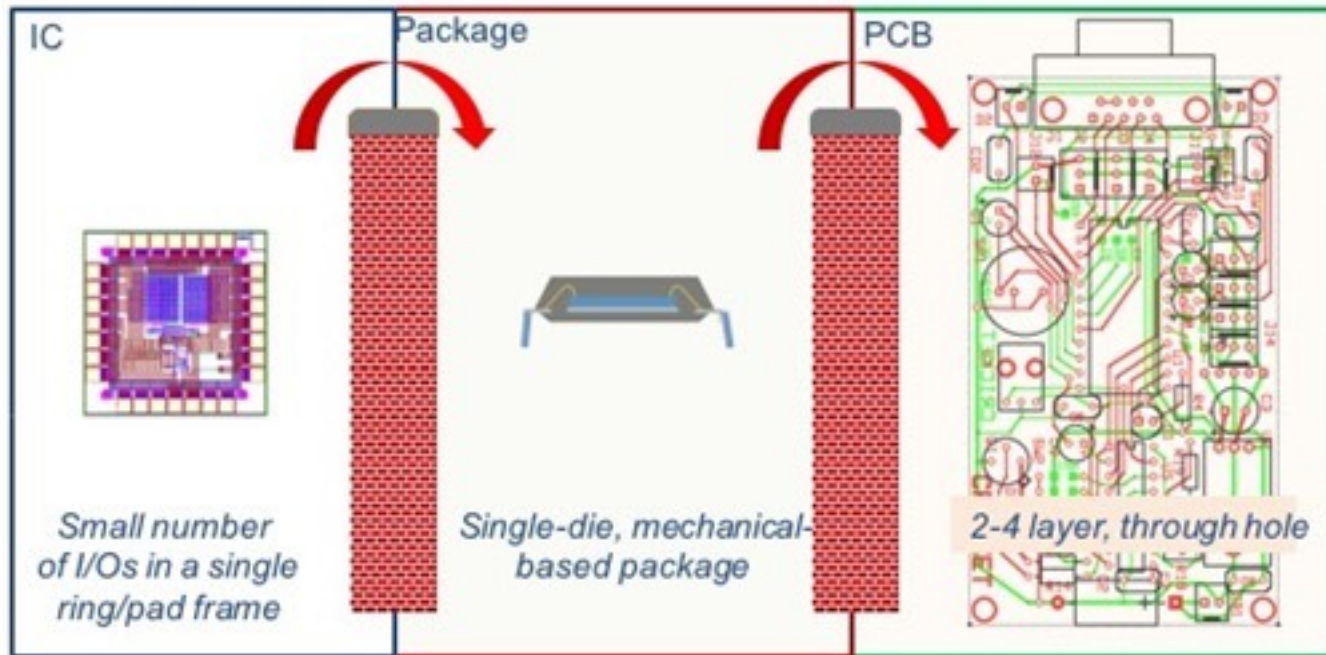
자료 : Deepthi Amuru et al, AI/ML Algorithms and Applications in VLSI Design and Technology, Feb 2022, 신영증권 리서치센터

기존의 반도체 개발 과정

명확한 역할 분담이 있었던 반도체 개발 과정

- 지금까지 시스템 설계는 반도체 (IC) 설계와 그를 보조하는 Package 설계, 그들을 실장에 붙이는 PCB의 영역이 각자 따로 발전하고 있었음. 그중 특히 IC 설계 기술의 속도가 기하급수적이었으며 그 설계를 도와주는 EDA 툴의 기술 발전도 기하급수적이었음. 개인적인 경험에 따르면 IC 설계 및 제조 이후 Packaging 또는 실장 레벨에서 문제가 생기면 그때가 되어서야 Package 설계도와 PCB 설계도면을 확인하고 문제를 파악했음.
- HBM 설계 과정에서는 interposer 연결 등에서 이런 기존의 IC향 EDA 툴의 사용 방식이 문제가 되기 시작한 것으로 보임.

기존의 반도체 설계 방식 (반도체 칩 따로 Package 따로, PCB 따로)



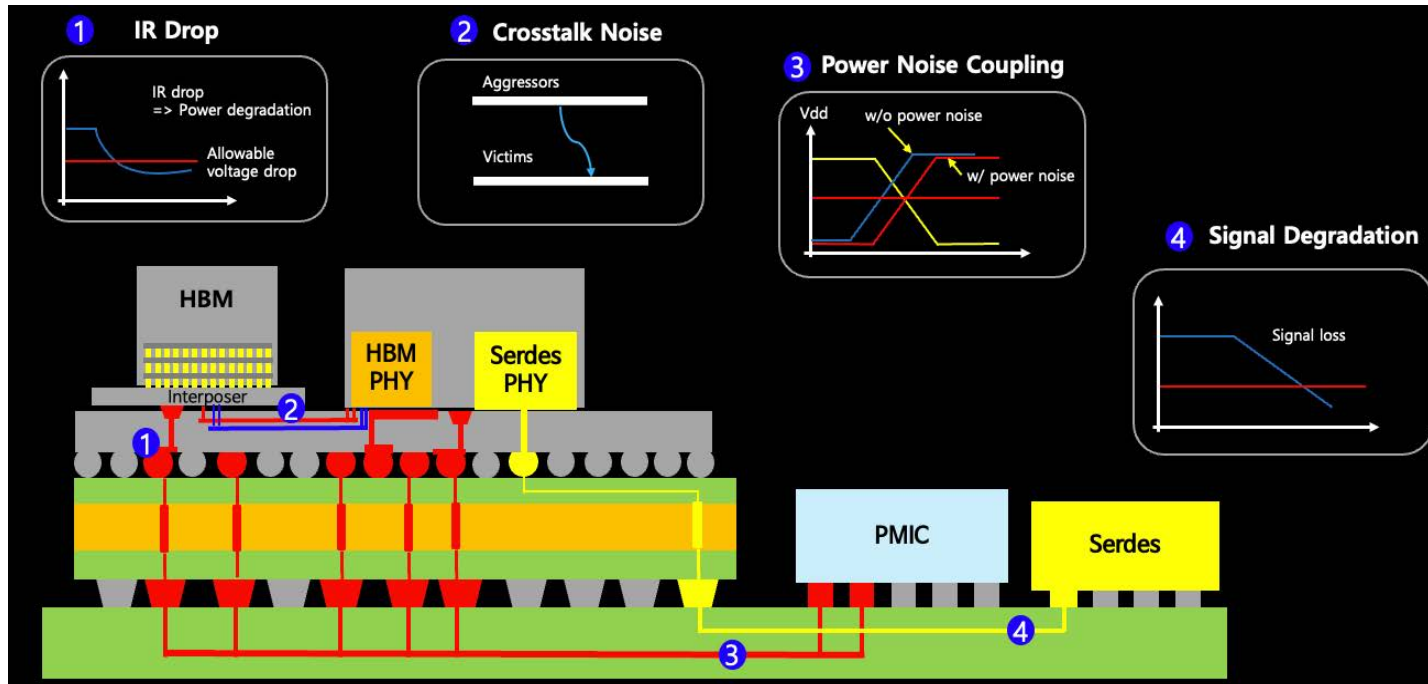
자료 : CADENCE, 신영증권 리서치센터

새로운 반도체 개발 과정(1) (반도체 칩 기획부터 PCB level까지 미리 고려해야)

모든 반도체 개발은 앞으로 이중 칩 결합을 고려해야 할 것

- 고성능 제품을 시작으로 이중 칩 결합의 중요성은 점점 확대될 것. 지금까지 하나의 monolithic 칩 단계에서 EDA 툴을 활용한 시뮬레이션, verification 등을 거쳐 칩 설계 및 제조를 한 후 CAD 툴 등을 이용하여 설계된 Package, PCB에 적절히 조립하는 방식이었다면 앞으로는 IC, Package, PCB를 모두 고려하지 않고 설계를 할 시에 여러 가지 문제가 발생할 것임. 그 대표적인 예로 1) 인터포저등을 거쳐서 칩으로 들어가는 power의 IR drop, 그리고 3D 칩 위의 power와 아래층의 power의 차이, 2) 인터포저 내부 시그널 라인끼리의 간섭현상, 3) 양옆, 위아래 반도체의 power 및 시그널 간섭, 4) 인터포저를 통해 전달되는 신호의 손실, 5) RF 통신 칩이 있을 경우 EMI(전자기 간섭) 이슈

새로운 반도체 시대(ex. 이중 칩 결합)에 고려해야 할 사항들

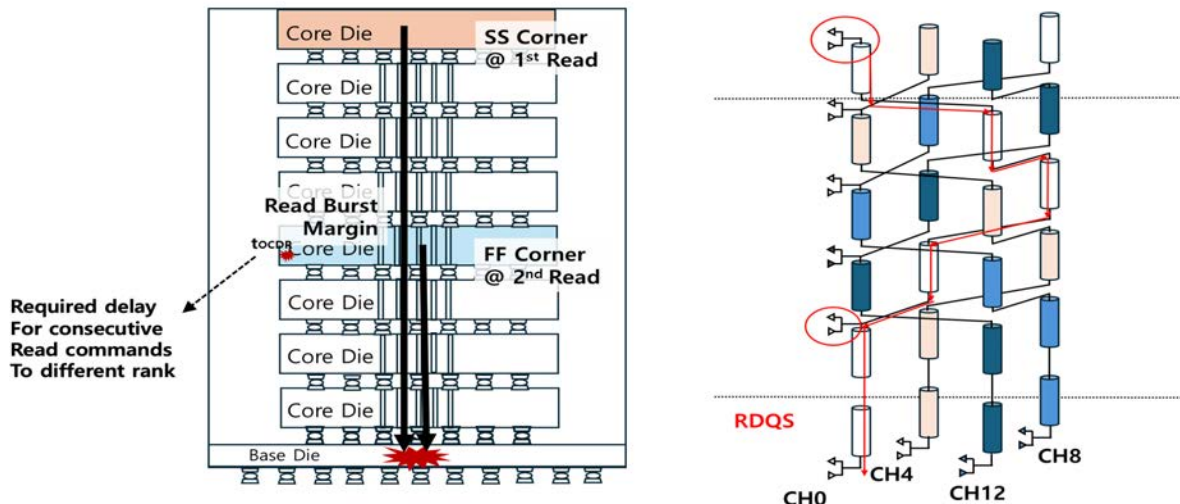


새로운 반도체 개발 과정(2) (반도체 칩 기획부터 PCB level까지 미리 고려해야.)

초가집 만들던 기술로 거대한 주상복합 건물을 만들 수 있을까?

- 한 칩을 설계하는 건 기존하던 방법대로 하면 됨. 하지만 예를 들어서 아래의 HBM 설계를 보면 stack 되어 있는 위의 칩들과 아래 있는 칩 간의 데이터를 주고받는 과정에서 복잡하게 꼬여 있는 배선 등이 문제가 될 수 있음.
- 아래 그림에서 볼 수 있는 두 가지 대표적인 예로
 - 1) 신호가 위아래로 전달될 때 인접한 신호 이동선에 전자기 파장으로 영향을 끼치게 됨. 현재 방법으로는 이를 정확히 모델링 해서 시뮬레이션 하지 못함. (Crosstalk 발생을 미리 검토하기 어려움.)
 - 2) 각 core die에 따라 chip이 제조된 wafer의 차이 등으로 인해 발생하는 process variation이 발생할 수 있음.
그로 인해 특정 core die에서 나오는 신호는 빠르고, 특정 core die에서 나오는 신호는 느릴 수 있음.
- 이는 일부의 사례에 불과함. 온도 특성, 전압 특성 등등 변수는 누적되어 다양한 문제를 일으키고 현재 이중 칩 결합 시 이런 변수를 monolithic die에서의 정도로 정밀하게 시뮬레이션 할 수 있는 방법은 없음.

ISSCC 2024에서 SK Hynix가 발표한 HBM3E 설계(POC) 일부

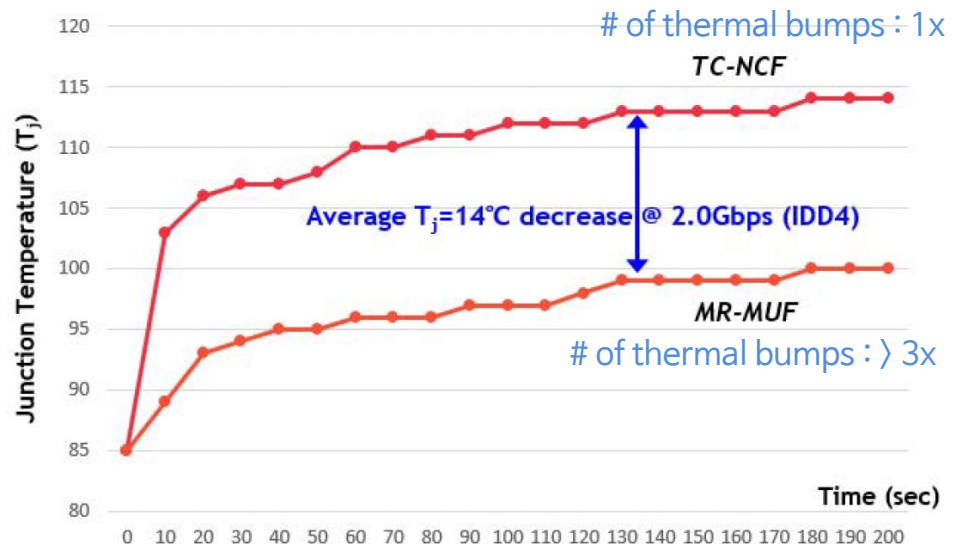
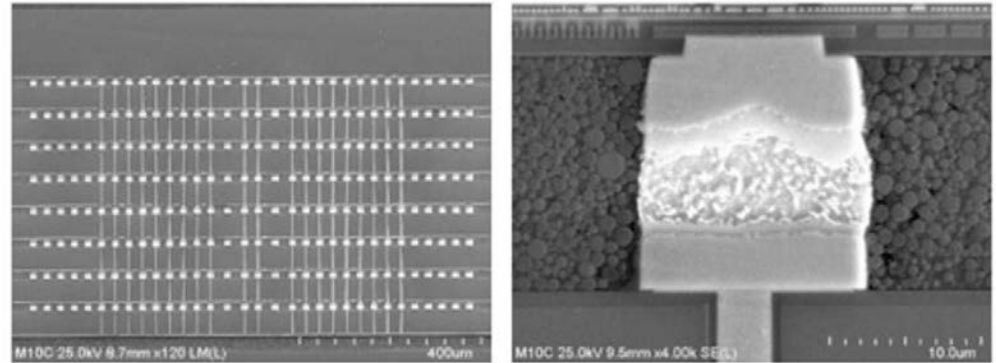


새로운 반도체 개발 과정(3) (Thermal 문제)

Thermal dummy bump를 3배 증가시킨 근거는 무엇일까?

- 오른쪽은 SK하이닉스가 HBM 제조 시 thermal dummy bump를 배치하여서 열 배출을 줄인 내용의 논문.
- SK하이닉스는 HBM2E 개발 시 HBM2 대비 thermal dummy bump를 3배 이상 배치하였고 그 결과 동작시 15% 이상의 온도 감소 효과를 보았음.
- 정밀도 있는 simulation tool이 현재 상용화 단계에 있지 않을 것이므로 thermal dummy bump의 배치와 개수의 최적화는 완벽히 진행되지 못했을 것으로 추측됨.
- 이런 다양한 case에 대한 simulation EDA tool들이 나오기 전까지는 어느 정도 이전의 누적된 데이터와 경험, 정교하지 않은 tool로 개발이 이루어질 것으로 추측됨.
- 반도체 제품 제조 전에 Thermal에 대한 철저한 시뮬레이션이 더욱 중요해지고 있음.
- 빠른 시점 내에 Heterogeneous Integration을 위한 EDA tool 개발이 절실한 이유.

ECTC 2023에서 SK하이닉스가 발표한 Thermal dummy bump



자료 : S Lee et al, A Study on the Advanced Chip to Wafer Stack for Better Thermal Dissipation of High Bandwidth Memory, may 2023, ECTC, 신영증권 리서치센터

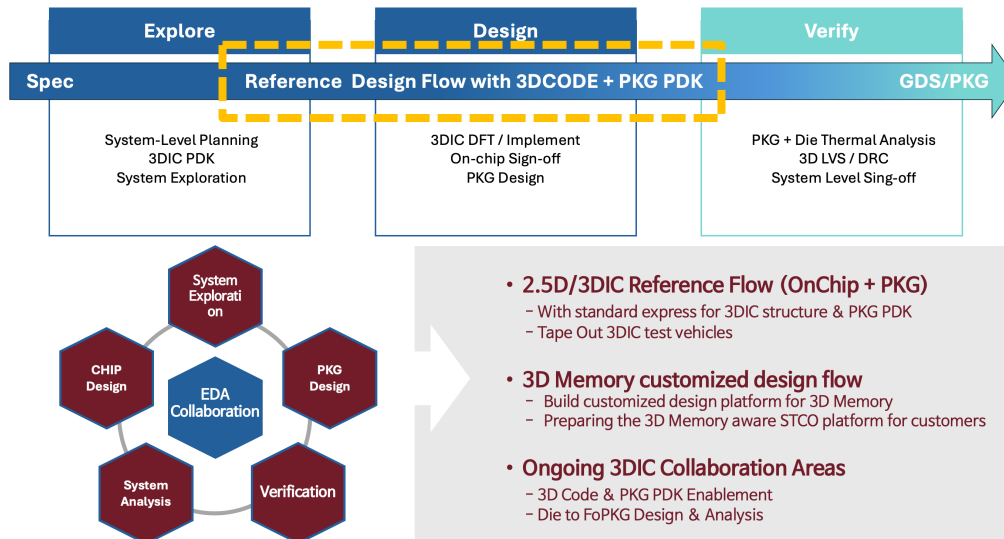
새로운 반도체 개발 과정(4) (PADK의 중요도 증가)

Package의 특성을 담은 PADK(Package Assembly Design Kits) / Package PDK가 필요함

- 기존 monolithic die를 설계할 때 해당 공장의 공정 특성을 담고 있는 PDK(Process Design Kits) 파일이 필요하듯이 이종 칩 결합의 시대에서는 PADK라는 Package의 공정 특성을 담고 있는 파일을 가지고 시뮬레이션 해야 함. (지금까지 OSAT 업체들은 package designer 들한테 충분한 데이터를 주지 않아옴.)
- 이를 위해서는 EDA 업체+칩메이커+OSAT 의 협업이 중요하며 그 중심적인 역할을 EDA 기업들이 해야 할 것으로 보임. 현재 OSAT 업체 중에서는 Amkor가 주도적으로 PADK(또는 Package PDK) 생태계를 만들고 있는 것으로 파악됨.
- PADK에는 PCB, Package 단의 팬아웃, RLD, TSV, 인터포저, IPD(Integrated Passive Device)에 대한 전기 전자적, 재료공학적인 특성이 포함되어야 함. 이를 이용해서 추측과 예측을 기반한 칩 제조가 아닌 시뮬레이션을 기반으로 최적의 방식으로 칩 제조를 할 수 있게 되어야 특성 좋은 칩을 time-to-market으로 대응 가능할 수 있을 것.

2.5D/3D heterogeneous integration에 Package용 PDK가 반드시 필요함.

- Build Design Reference Flow for 3D Logic and Memory to reduce the design effort

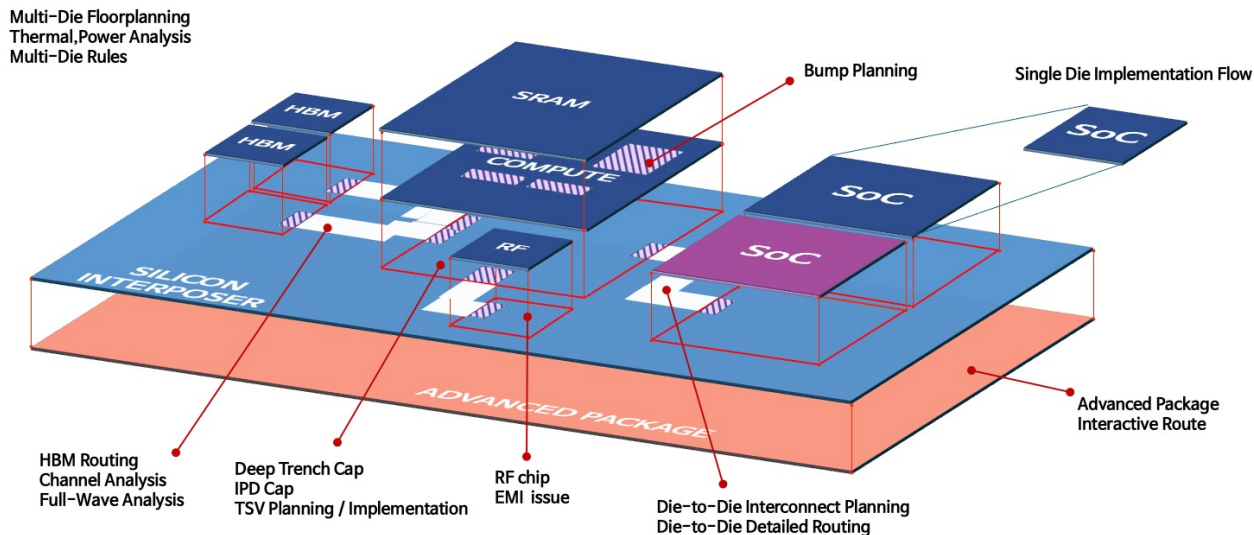


새로운 반도체 개발 과정(5) (H로 넘어오면서 생긴 다양한 변수)

“100-1=0”, 실수에 대한 기회비용이 크다. 하지만 실수를 안 하기 어려운 환경임

- 설계를 하는 과정에서 지속적으로 설계 변경이 전체적인 heterogeneous integration에 끼칠 영향을 파악해야 함. 또한 이종 칩간 결합에서 각 칩의 동작 시점 등을 최적화해야 함. 예를 들어 통신칩이 활발히 동작하는 동안 그 주변 칩들은 EMI 간섭을 고려해야 함. (아래 그림에서 보라색 SOC 칩은 파란색 SOC 칩보다 EMI 특성이 강화된 기능이 들어가야 할 것.
- Processor에서 특정 동작을 계속 반복하는 동안 그 근처의 칩(혹은 3D로 올라간 상단의 칩)은 power hungry할 뿐 아니라 thermal 적으로도 매우 뜨거운 상태가 됨. 이런 동작 환경들도 시뮬레이션에 반영 되어야 함.
- 이종 칩 결합 이전 초기 반도체 칩 위치 배치 및 배선 단계 (Placement and Route)에서 STA(static timing analysis), SI, PI, Thermal을 고려해야 위와 같은 문제가 해결됨.
- Hardware 적으로는 최적의 bump pitch, warpage 등이 고려된 시뮬레이션이 가능해져야 함.

Heterogeneous integration에서 초기 배치부터 시뮬레이션은 매우 복잡해짐.



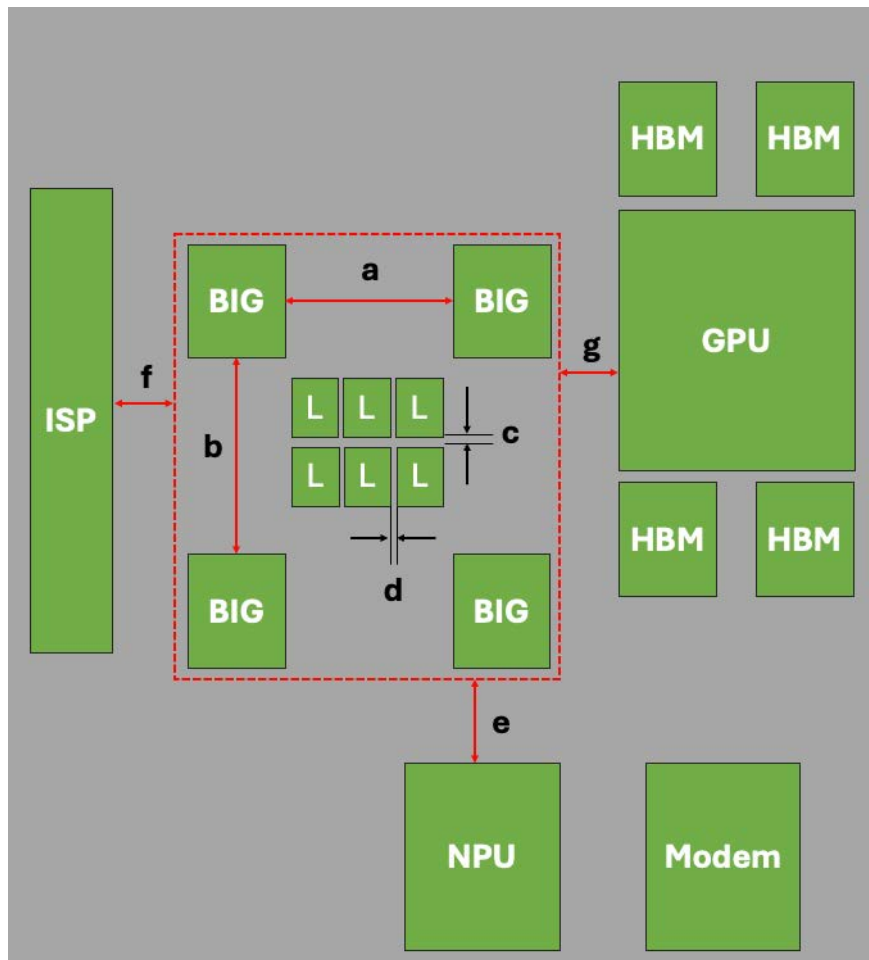
AI를 위한 반도체, 반도체를 위한 AI

반도체칩의 발전으로 AI는 발전함.

이제 반도체가 AI 덕을 좀 볼 차례

- 간단한 예를 들어서 오른쪽과 같은 PCB 혹은 Interposer 위에 칩을 배치하는 문제를 들 수 있음. 동시에 동작하는 상황이 많은 칩이 가까이 붙어 있으면 서로 열문제를 증폭시킬 수 있음.
- 또 멀리 떨어뜨려 놓으면 서로 연결해야 되는 배선이 많을 경우 신호 손실 문제가 발생할 수 있음.
- 간단히 생각하면 우측 그림에서 a, b, c, d, e, f, g의 길이를 최적화 시키는 문제로 생각할 수 있고 시뮬레이션 툴이 각 칩의 동작, 배선 특성들, PCB 레벨(혹은 Interposer레벨)에서의 배선과 소재 특성 등을 알고 있다면 a, b, c, d, e, f, g를 최적화시키는 문제를 푸는데 용이해짐.
(적층까지 고려하면 변수는 더욱 많아짐.)
- 위와 같은 문제를 풀기 위해서 EDA 프로그램들의 발전이 필요하고 기존보다 Thermal simulation, Power simulation, PCB 단에서의 Signal integrity simulation이 중요해짐.
- 추후에 database를 쌓는 과정을 거치면 AI가 최적화를 하기에 용이한 문제임.
- EDA 회사들과 NVIDIA가 협업을 긴밀히 하는 이유 중 하나. => SW 비용은 더욱더욱 증가할 추세임.

PCB 혹은 Interposer 위의 칩 배치 문제



자료 : ANSYS, 신영증권 리서치센터

이종 칩 결합 시장의 성장(ex.3D NAND, 4D NAND, HBM, 3D SoC)

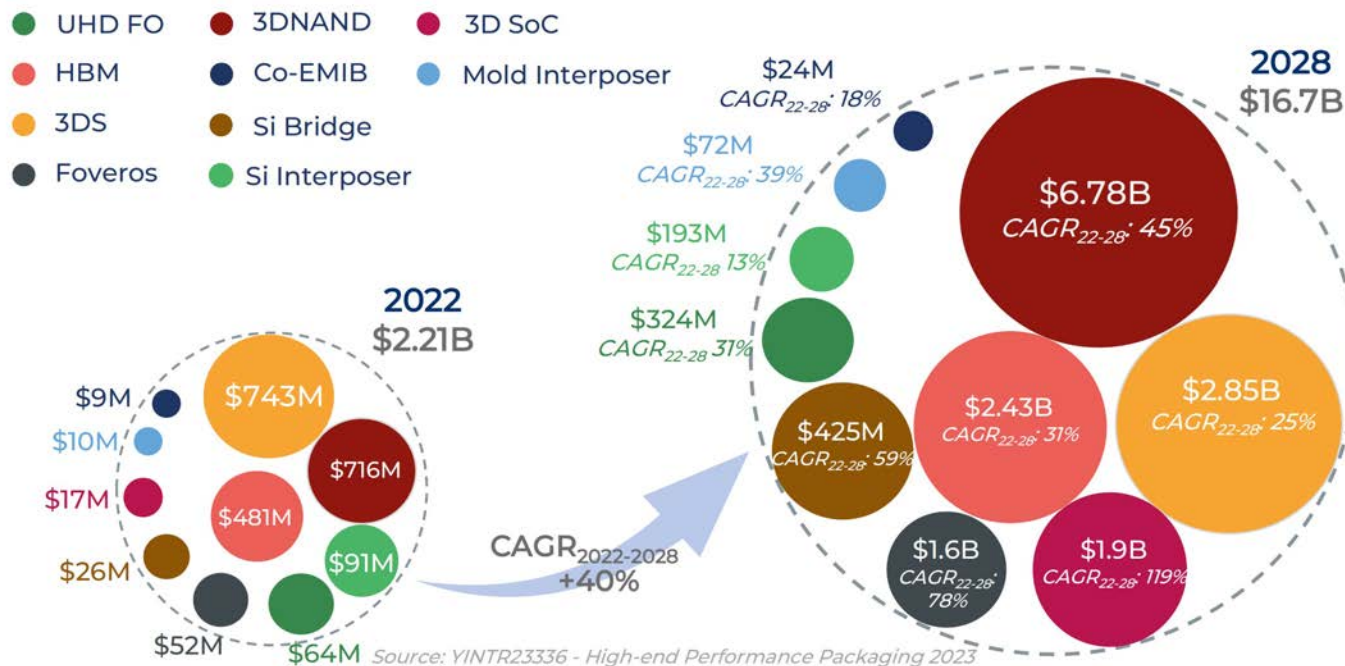
이종 칩 결합 시장의 급격한 성장 예상

- HBM, 3D(혹은 4D) NAND, 3D SoC 등 이종 칩 간의 결합 시장은 2028년까지 CAGR 40% 성장률을 보일 것으로 예상됨.
- 이종 칩 결합의 발전(ex. Hybrid bonding) 등과 더불어 이종 칩 결합에서의 시행착오를 줄이기 위한 Software 등의 R&D 비용 증가가 필수적임.

고성능 패키지 시장 성장률 estimation (기술별로, 2022~2028 CAGR +40%)

2022 - 2028 HIGH-END PERFORMANCE PACKAGING MARKET SIZE

Split by technology

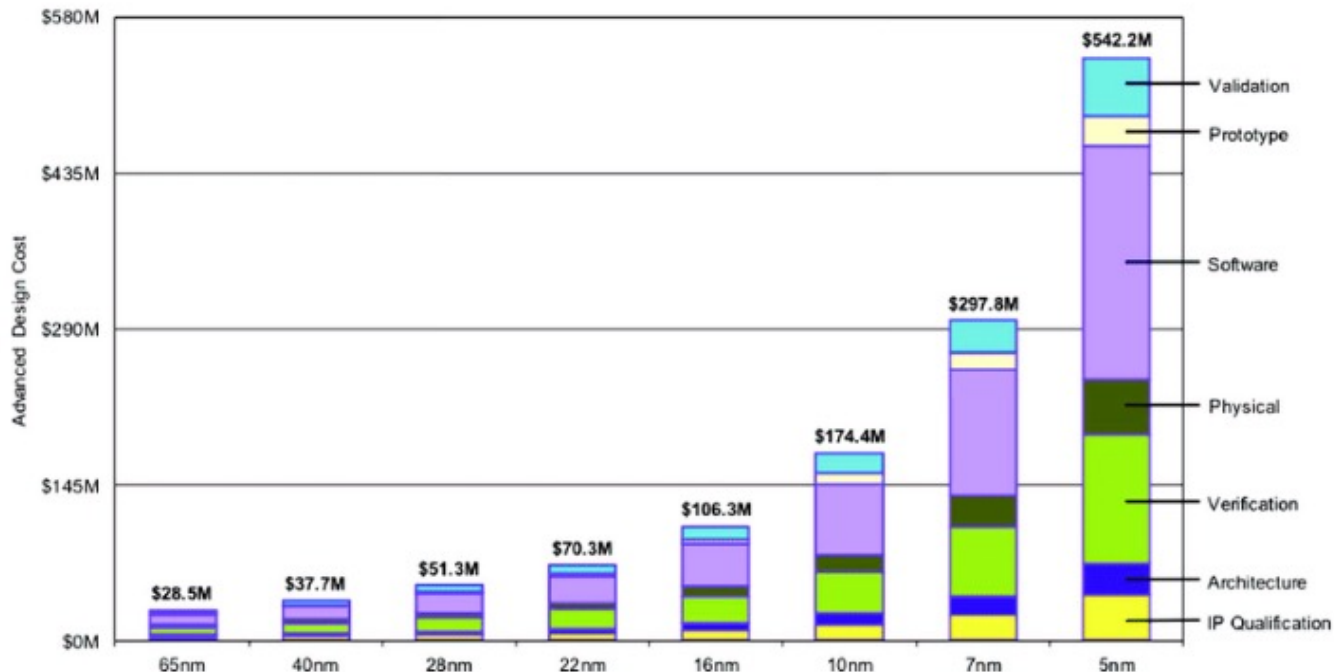


반도체 개발에서 Software, Verification, Prototype 비중 증가

Software, Verification, Prototype의 비용이 기하급수적으로 증가할 것으로 예상

- 이종 칩 결합 후에 결과를 보고 재 설계를 하는 방식은 너무 큰 cost 손해와 time to market의 손해가 발생함. 결국 미리 simulation을 통해 확인한 후 반도체 칩 설계 단계 및 Package, Interposer, PCB 설계 단계에 들어가야 하는데 기존 monolithic die보다 이종 칩 결합 simulation에 소모되는 컴퓨팅 파워와 비용은 그 복잡성으로 인해 크게 증가할 것.
- 같은 이유로 simulation 이후 제조 전 단계에서 진행하는 verification, prototype에도 큰 비용이 투입될 것으로 예상됨.
- 이런 이종 칩 결합에 대한 software 및 verification tool 개발은 기존 EDA 업체들 만이 가능할 것으로 예상됨.

공정 미세화에 따른 반도체 개발 비용 (이종 칩 결합으로 가면서 더욱 커질 것으로 예상됨)



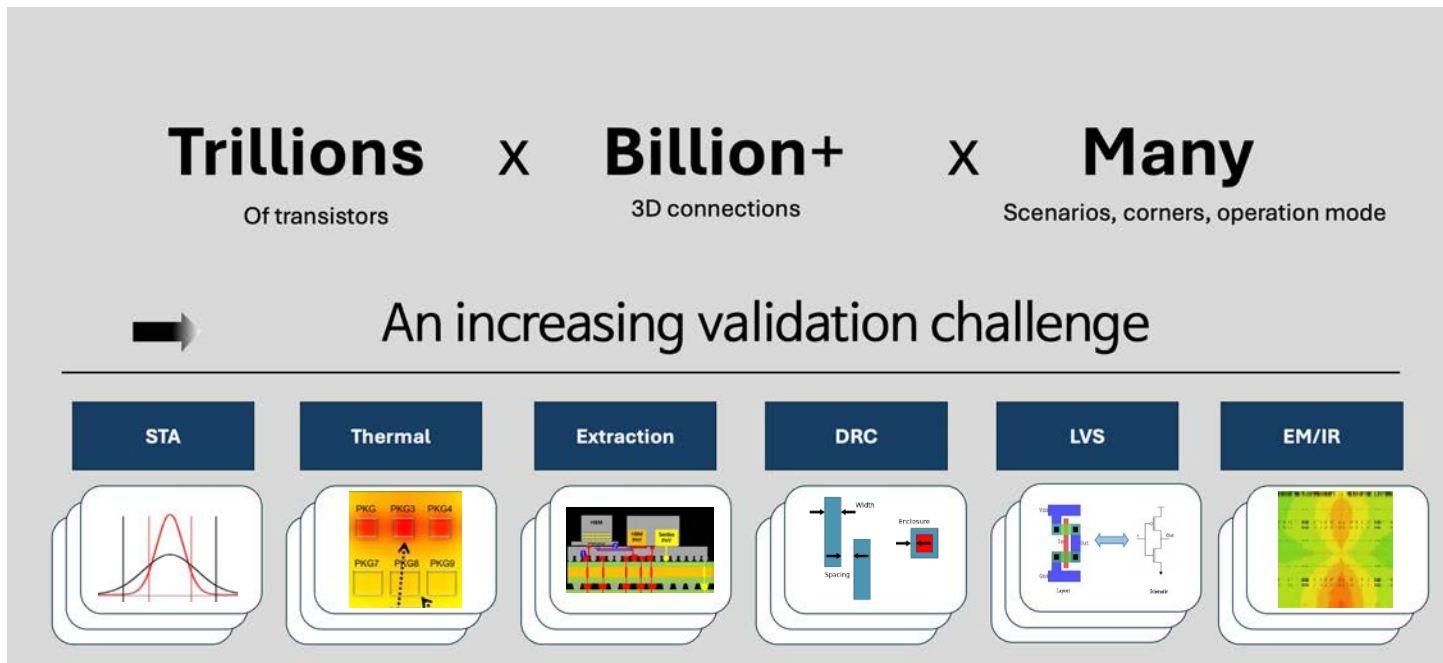
자료 : T.Li et al, Chiplet Heterogeneous Integration Technology—Status and Challenges, Apr 2020, Electronics, 신영증권 리서치센터

EDA 툴의 사용량이 기하급수적으로 증가할 것

이종 칩 결합의 복잡성은 현재 simulation 시나리오에 곱하기로 작용함

- 지금까지는 트랜지스터의 수와 동작 환경 및 동작상황의 곱에 비례하는 컴퓨팅 파워와 EDA 툴 라이선스가 필요했다면 이종 칩 결합의 시대에서는 새로운 종류의 칩이 Integration 될 때마다 이전의 상황에 곱으로 EDA 툴이 많이 필요해질 것.
- 이론적으로 완전 이종 칩 결합의 시대가 된다면 이종으로 결합되는 칩의 개수에 비례해서 EDA tool의 수요가 증가할 것.
- 더 큰 이슈는 빅 테크 기업들을 위주로 반도체 칩을 자체 개발하는 기업이 많아지는 트렌드라는 것.
아래 수식에 자체 칩을 설계하기 시작한 기업들을 곱하면 EDA tool의 수요는 폭발적으로 증가할 것으로 예상됨.

동작 시나리오가 많아질수록 EDA tool이 더 많이 필요함

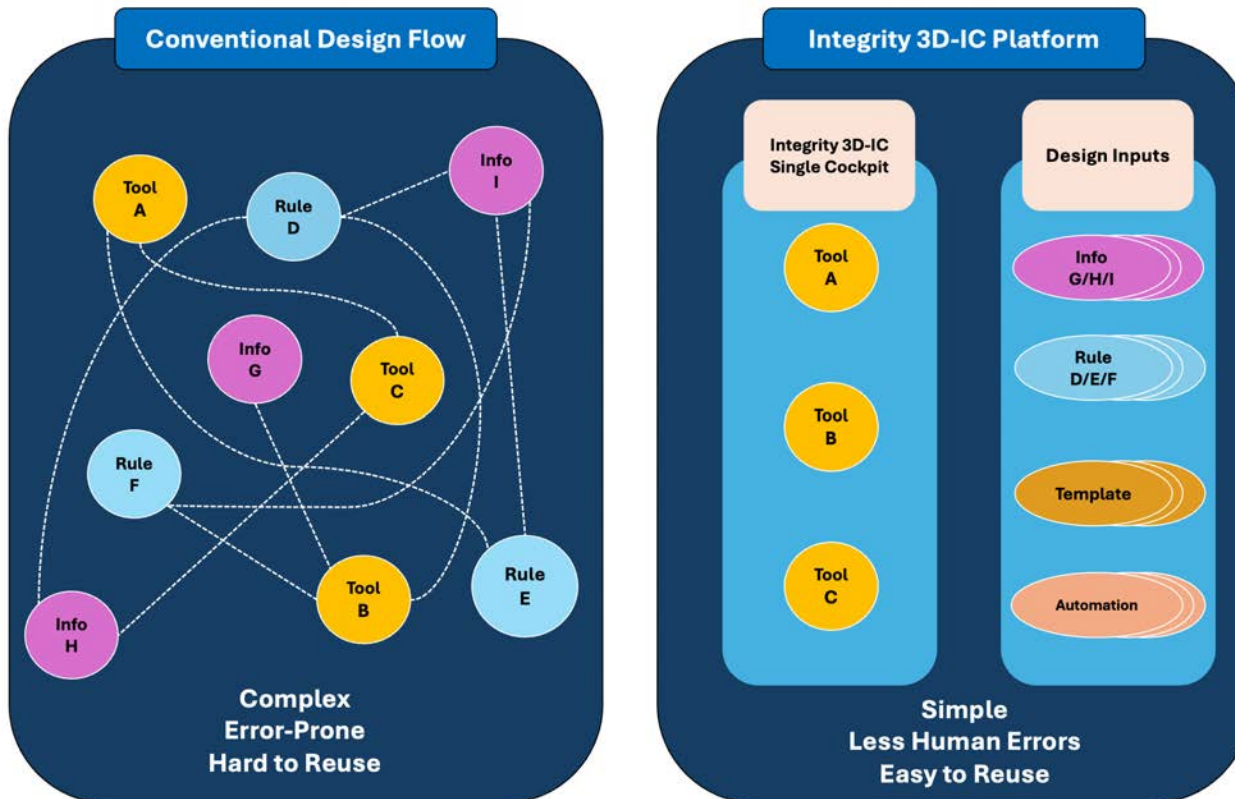


PCB, PCK, IC에서 쓰이는 모든 EDA tool들의 통합이 필요함

IC 단일 칩에서 사용되던 시뮬레이션 기술들이 모두 PCB level로 올라와야 함

- 왼쪽 그림과 같이 각 단계 (IC, PKG, PCB)에서 따로 simulation하던 EDA 툴들의 집결체인 Cockpit tool이 필요해짐.
- 기존에 각 단계 별로 다양한 EDA tool을 보급하던 회사가 새로운 시대의 반도체 개발 방식에 더 적합한 솔루션을 제공할 수 있다고 볼 수 있고 전 세계에서 그 역할을 가장 잘할 수 있는 기업으로 CADENCE를 예상함.

무어 시대의 반도체 개발 방식(좌)와 새로운 시대의 반도체 개발 방식(우)



새로운 반도체 시대의 첫 번째 수혜주

반도체 기획부터 개발에 이르기까지의 과정은 오랜 역사를 가지고 있다. 이를 돕기 위한 반도체 설계, 검증용 프로그램인 EDA(Electronic Design Automation) 툴은 그 과정과 함께 지속적으로 발전해 왔다. 특히 EDA 탑 3 기업인 **시놉시스(Synopsys)**, **케이던스(Cadence)**, **지멘스(구 Mentor Graphics, 현 지멘스 EDA)**는 30년 이상의 역사를 보유하고 있다. 이들 3개 기업은 현재 EDA 산업에서 거대한 기술 장벽을 통한 해자를 구축하고 있다. 이 해자는 반도체 산업이 존재하는 한 깨지기 어렵다.

그 첫 번째 이유는 **반도체의 복잡한 제조과정**에 있다. EDA 툴들은 반도체 R&D, 기획부터 개발과정까지 반도체 산업에 대한 전반적이고 구체적인 이해와 그를 지원할 수 있는 소프트웨어 기술을 모두 보유해야 가능하기 때문이다. 예를 들어 반도체 내부 기능 별 배치 및 배선 과정(Place and Route), 논리 합성 과정, 컴파일, 광학(OPC), 전자기학, 다양한 소재 사용 특성, 트랜지스터 소자의 중요 변수(PDK)처리 등을 이해하는 소프트웨어를 개발할 수 있어야 한다.

두 번째 이유는 **반도체 개발의 보수적인 특성**에 있다. 반도체 개발은 매우 보수적인 과정으로 진행된다. 그 제조 과정이 매우 복잡하고 긴(약 3~4개월) 특성으로 기존의 방식을 함부로 바꾸는 리스크를 감당하기 어렵다. 새로운 업체의 EDA를 사용하려는 니즈가 없는 이유이다.

세 번째는 **EDA 업체들의 오랜 인수합병 역사**에 있다. EDA 빅 3 업체는 자사의 EDA tool을 보강할 수 있는 매력적인 기술을 가진 회사들을 인수하며 자체 EDA 프로그램에 병합하는 방식으로 성장해왔다. 30년 가까이 수많은 EDA 관련 회사들을 인수하면서 EDA 빅 3 기업의 프로그램 정밀도와 그들이 지원하는 기술은 매우 방대해졌다.

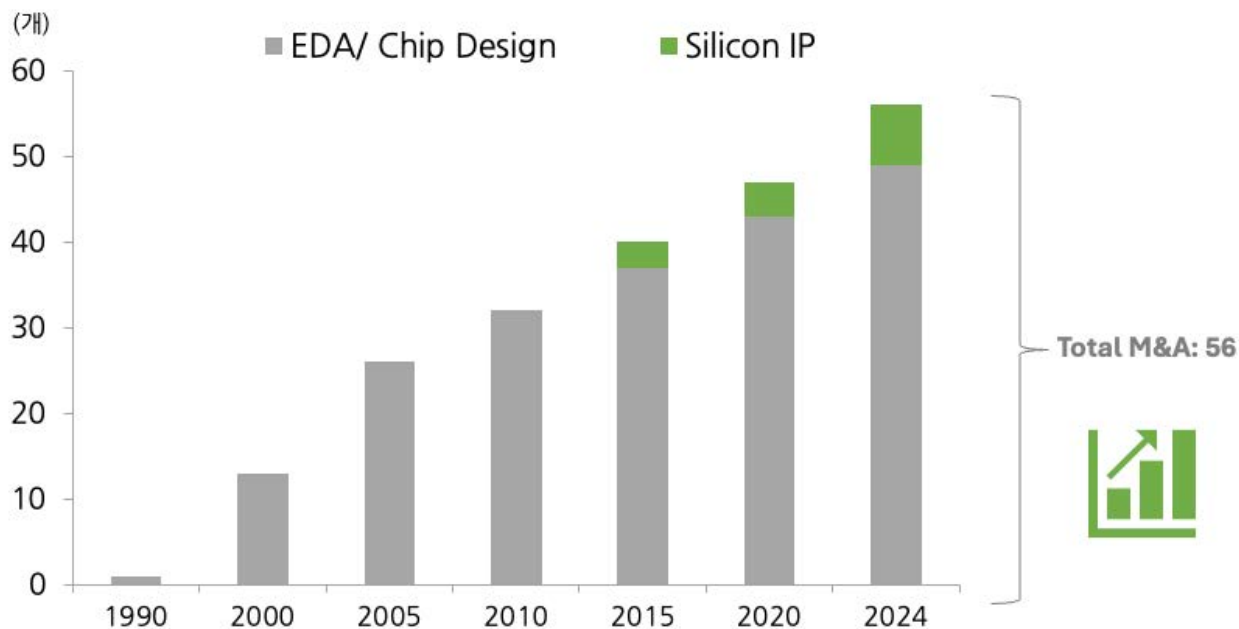
EDA 기업은 아니지만 국내 테스트 소켓 기업인 **리노공업**도 R&D 테스트 소켓에 있어서 위와 비슷한 해자를 구축하고 있다. 첫 번째로 반도체 Package, PCB 테스트 시 필요한 **R&D용 테스트 소켓을 최대한 빠르게 지원해 줄 수 있다**. 이는 핀 제작부터 테스트 소켓 제조까지의 수직 계열화와 부서 간의 긴밀한 협업이 잘 되어 있고 오랜 기간 테스트 소켓을 지원하면서 축적된 노하우가 있기 때문이다. 특히 핀 제조의 경우 고객사의 니즈에 맞게 가장 빠른 대응을 해주고 있다. (74페이지에 설명)
두 번째로 **반도체 R&D의 보수적인 특성**에 있다. 지금까지 R&D 테스트 소켓으로 리노공업의 소켓을 주로 사용하던 기업들이 이전 세대와 다른 테스트 소켓으로 교체해서 발생하는 리스크를 감당할 이유가 없다.

[수혜주 인사이트] CADENCE의 기업 인수 history를 통해 본 기술적 해자

EDA 기업들의 해자 구축 과정

- 3대 EDA 기업들은 자체 개발로 새로운 기능을 구현하기도 하지만 특정 분야에 기술 특화되어 있는 기업들을 지속적으로 인수하면서 해자가 구축되어 옴. 중소형 EDA 업체들도 이미 사용하는 개발자들이 많은 대형 EDA 프로그램에 자사 툴이 편입되는 게 더 많은 개발자들이 사용할 수 있는 방법이 되기 때문에 대형 기업에 인수되는 방향을 택함. CADENCE는 SYNOPSYS보다 EDA 회사 인수에 좀 더 치중하면서 커옴.

CADENCE의 기업 인수 History (1989년부터 EDA/Chip design 기업 49개, IP 기업 7개)



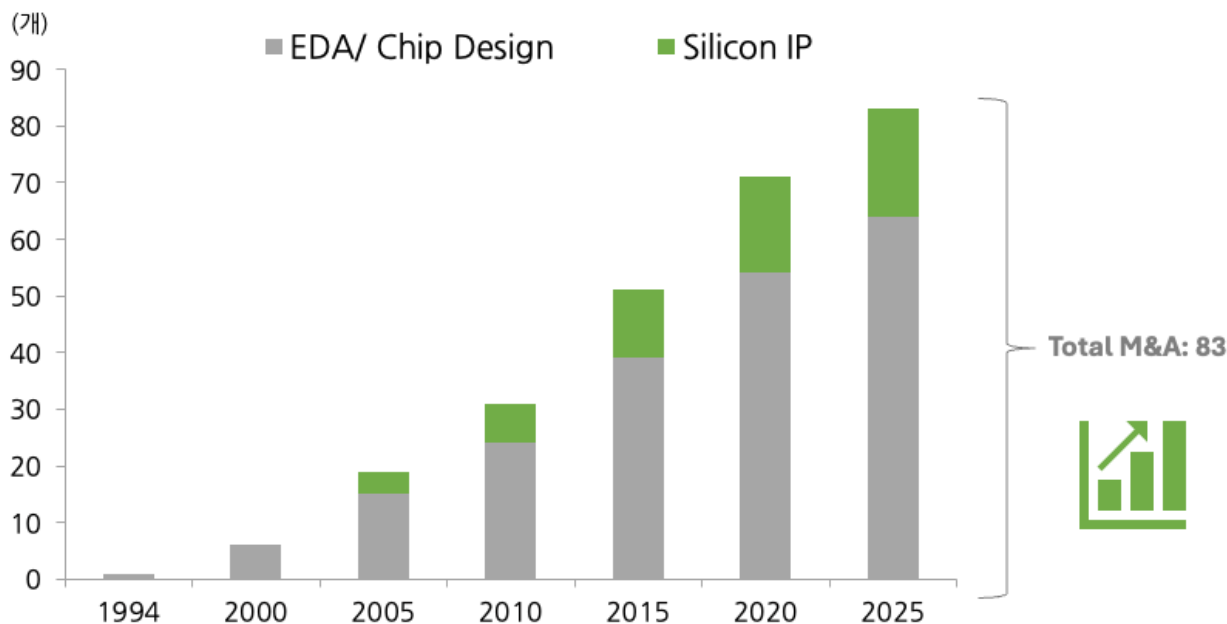
자료 : 신영증권 리서치센터

[수혜주 인사이트] SYNOPSYS의 기업 인수 history를 통해 본 기술적 해자

EDA 기업들의 해자 구축 과정

- SYNOPSYS의 경우 EDA뿐 아니라 IP(특히 이종 칩 결합 시대에 더욱 중요해질 Interface IP)에서 세계 1위 기업임. (ARM에 이어 전 세계 IP 2위 기업이기도 함.)
- 특히 Logic Synthesis, Analog simulation 등 몇몇 분야에서 가장 뛰어난 EDA 툴을 보유하고 있기도 하기 때문에 강력한 해자가 구축되어 있음. 또한 2024년 1월 16일(현지시간 기준), 350억 달러에 물리 SW 기업 (열 관련 EDA에 특화)인 ANSYS를 인수함으로써 시너지를 기대해 볼 수 있음.

SYNOPSYS의 기업 인수 History (1994년부터 EDA/Chip design 기업 64개, IP 기업 19개)



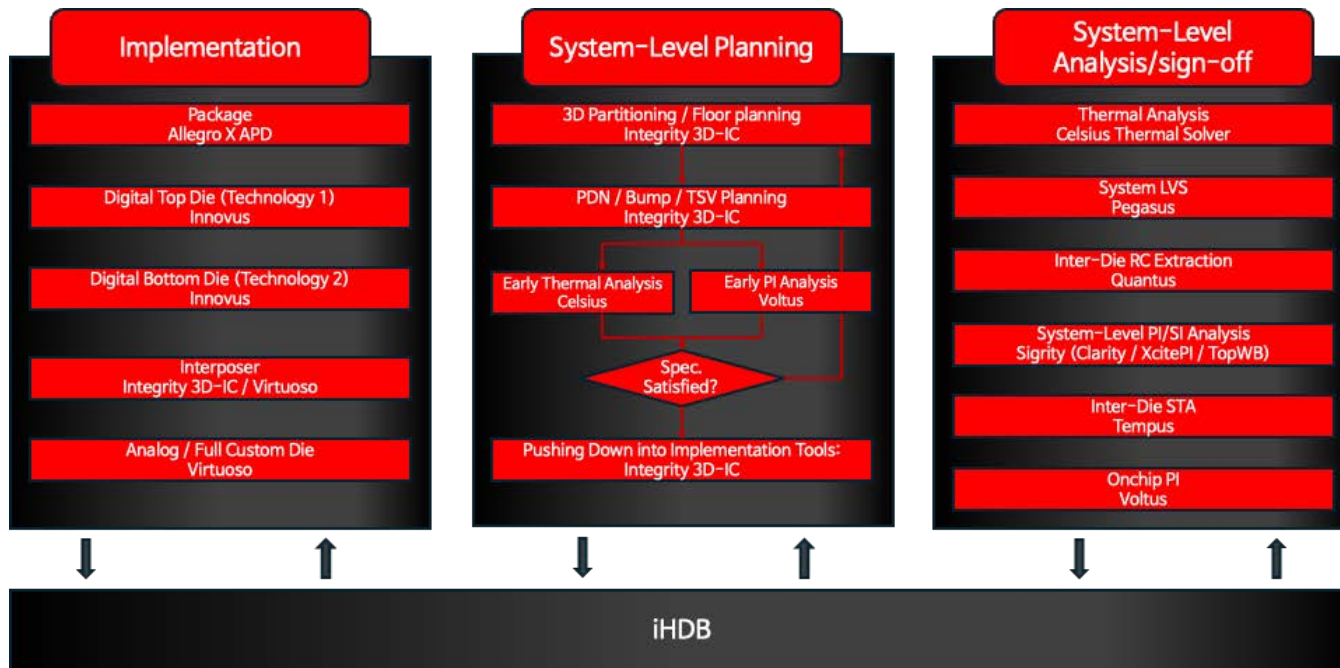
자료 : 신영증권 리서치센터

[수혜주 인사이트] CADENCE의 EDA 툴 라인업

반도체 개발 거의 모든 영역에 걸친 EDA tool을 보유하고 있는 CADENCE

- CADENCE는 반도체 개발 전 영역의 tool을 골고루 보유하고 있어서 Heterogeneous Integration 시대의 EDA simulation 지원이 타 EDA 기업 대비 수월할 수 있음. 여러 기업이 서로의 툴을 협력하여 지원하는 방법도 있지만 서로 다른 기업의 EDA 툴을 사용하기 위해서 중간 변환을 하는 과정 등에서 호환성 이슈 등으로 오류가 발생하거나 매끄러운 지원이 불가능할 수 있기 때문임.
- 위와 같은 이유로 CADENCE가 이종 칩 결합 시대의 EDA 헤게모니를 가져갈 수 있을 것으로 판단됨.

CADENCE EDA 툴 라인업



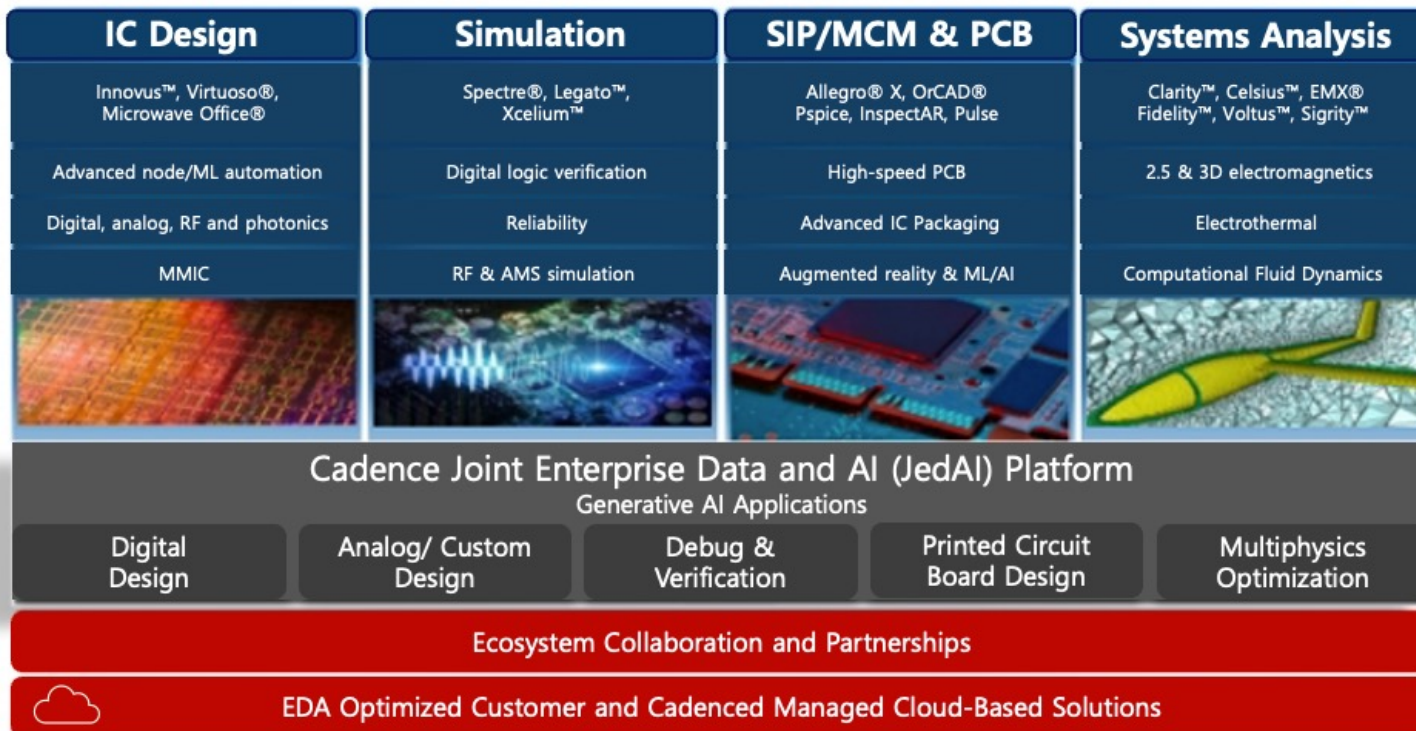
[수혜주 인사이트] CADENCE의 JedAI 플랫폼

Multi chiplet, Advanced packaging 관련 EDA 툴 등 전 영역의 EDA 툴 보유

- CADENCE는 자사의 IC~PKG 관련 EDA 툴의 데이터를 joint해서 사용하는 JedAI 플랫폼을 런칭.
- JedAI 플랫폼의 발전으로 이종 칩 결합 시대에 맞는 시뮬레이션이 가능해질 것이라고 봄.

CADENCE JedAI platform 통합 솔루션

Cadence is the Only EDA Company with Tools/Flows that Support **All** Multi-Die, Multi-Chiplet Adv. Packaging

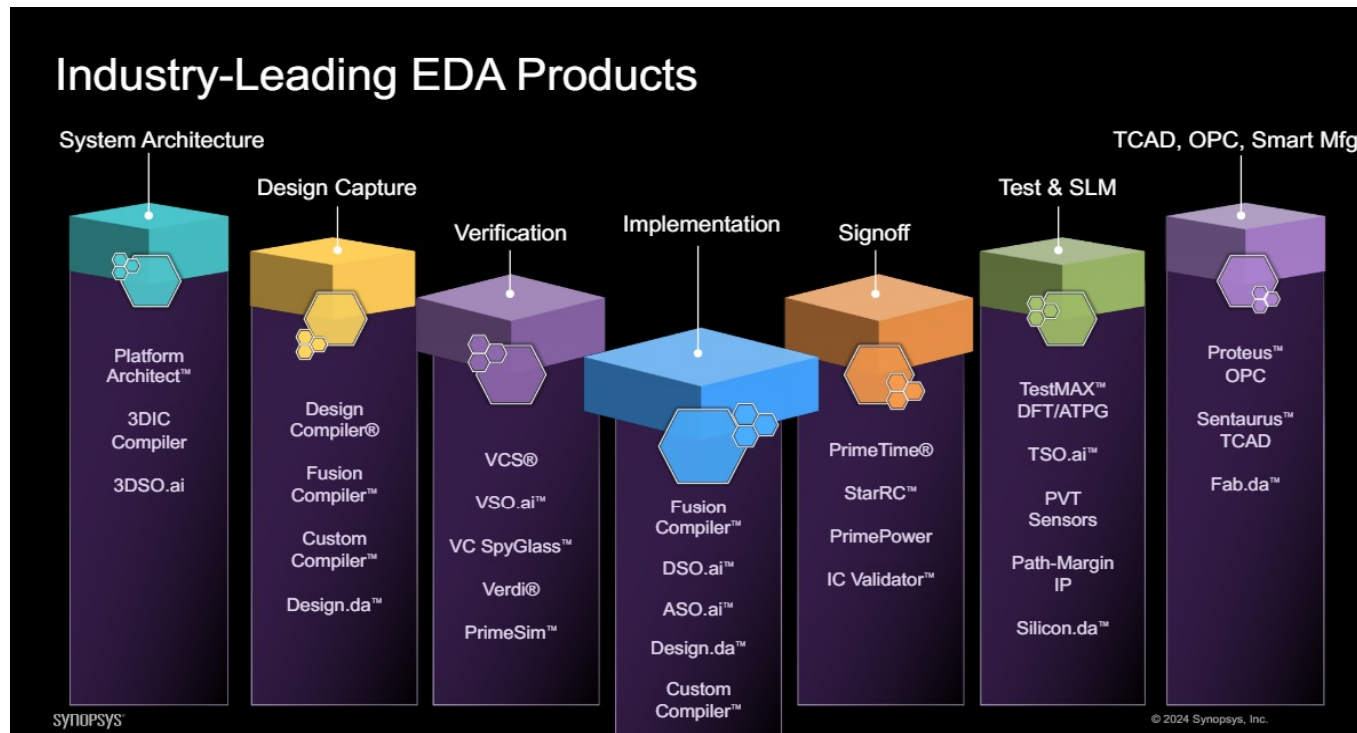


[수혜주 인사이트] SYNOPSYS의 EDA 툴 라인업

반도체 개발 대부분의 영역에 걸친 EDA tool을 보유한 SYNOPSYS

- SYNOPSYS는 SERDES, PHY IP 세계 1위이기도 하며 이런 Interface IP는 이종 칩 결합 시대에 가장 많이 쓰일 IP로 예상됨. 이종 칩 결합 시대에 CADENCE가 EDA 시장에서 더 우위를 가질 수도 있지만 SYNOPSYS가 특히 강점인 EDA 툴들 (ex. Logic Synthesis, Analog simulation 등)은 CADENCE tool로 완전 대체가 어려워 함께 사용될 것으로 예상됨.

SYNOPSYS EDA 툴 라인업

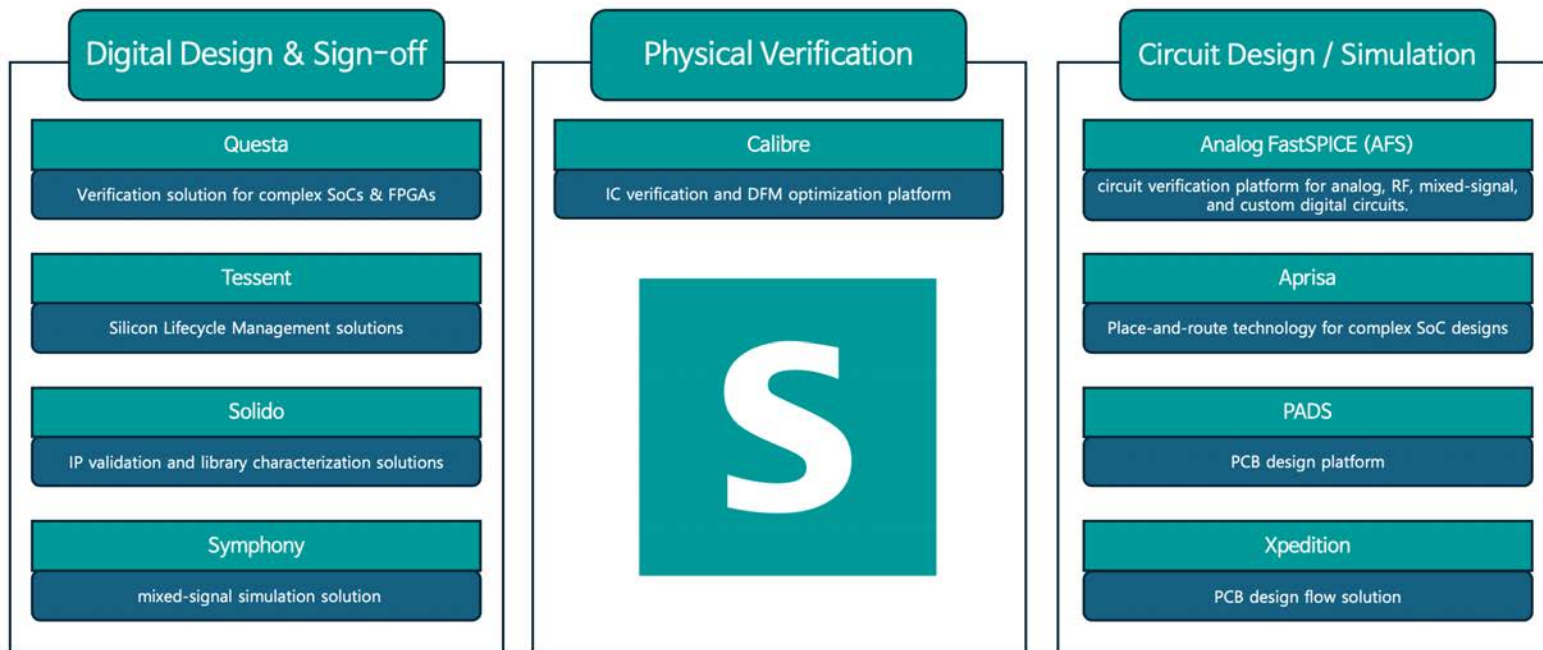


[수혜주 인사이드] SIEMENS의 EDA 툴 라인업

EDA 기업들의 해자 구축 과정

- Mentor graphics는 3대 EDA 기업 중 하나였지만 2017년 SIEMENS에게 인수되었다. 현재 SIEMENS는 세계 디지털 트윈 1위 기업이며 디지털 트윈 사업의 해자를 구축하기 위한 일환으로 Mentor graphics를 인수했을 것으로 추측된다.
- 현재 SIEMENS EDA에 소속되어 있으며 특히 반도체 마스크 제작 전의 연결도 확인(LVS), 공정 규칙을 반영(DRC) 하는데 특화된 Calibre라는 physical verification 프로그램은 현재 반도체 업계에서 가장 활발히 사용되는 EDA 프로그램 중 하나이다.
- SIEMENS의 디지털 트윈 기술과 결합하여 더 큰 시너지를 낼 수 있을 것으로 기대할 수 있다.

SIEMENS EDA 툴 라인업



[수혜주 인사이트] 테스트 패키지 콘텐츠의 다양화

제품 종류가 다양해지고 그로 인해서 패키지 콘텐츠의 다양화될 것

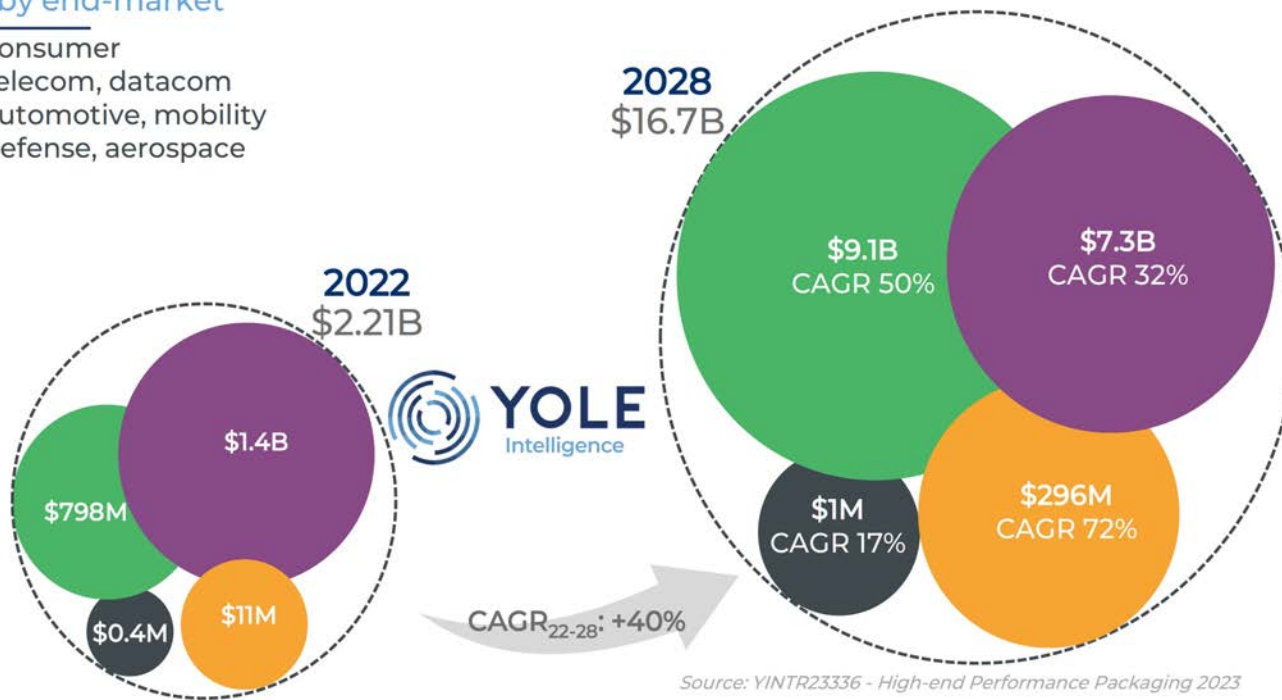
- EDA 툴이 시뮬레이션의 완성도를 올리는 것을 기다리고 있기에는 현재 이종 칩 결합 시장의 성장이 너무 빠름. (CAGR 40% 예상)
- 특히 컨슈머 제품의 종류가 다양해지고 이는 테스트해야 하는 패키지의 콘텐츠가 다양해짐을 의미.

고성능 패키지 시장 성장률 estimation (end-market 별로, 2022~2028 CAGR +40%)

2022 - 2028 HIGH-END PERFORMANCE PACKAGING MARKET SIZE

Split by end-market

- Consumer
- Telecom, datacom
- Automotive, mobility
- Defense, aerospace



[수혜주 인사이트] R&D test 소켓의 중요도가 올라갈 것

“100-1=0”인 반도체 개발, 실수는 용납되지 않지만..

- 이종 칩 결합의 시대가 오면서 대 R&D의 시대가 펼쳐질 것. 이를 대응하기 위해 EDA 툴은 EDA 툴 대로 발전해야 함. 하지만 당분간은 EDA 툴이 이종 칩 결합의 시뮬레이션 정밀도를 IC 디자인 및 시뮬레이션 수준까지 올리는 데는 한계가 있을 것. 지금 당장 EDA 툴이 가지고 있는 데이터 베이스가 부족하고 단순히 EDA 기업만 잘해서 되는 일이 아니기 때문임. EDA 회사의 주도 하에 IC 칩 설계기업, 제조 기업, OSAT 기업이 협력하면서 점진적으로 이종 칩 결합에 맞는 EDA 툴 개발이 이루어져야 함.
- 하지만 기업들의 이종 칩 결합에 대한 수요와 R&D 니즈는 계속 증가할 전망. (CAGR 40% 예상) 특히 Consumer 제품에서 이런 트렌드가 증가될 것으로 추측됨.
- 일관된 Package, PCB 디자인이 아닌 굉장히 다양한 종류의 Package, PCB 종류가 필요해질 것. 즉 다양한 테스트 콘텐츠가 등장할 것이고 EDA 만으로 최적화가 안되는 현재와 같은 상황에서 직접 제조한 이후에 테스트해보려는 R&D 수요 급증으로 이어질 것.

**“자꾸 도전하고 도전하고 해야 하니 실수투성이다. 여기서 실수 많이 해라.
이런 실수는 많이 하면 할수록 재산이 된다. 이게 재산이 되면 이거는 강한 힘이 된다.”**

- 이건희 전 삼성전자 회장 -

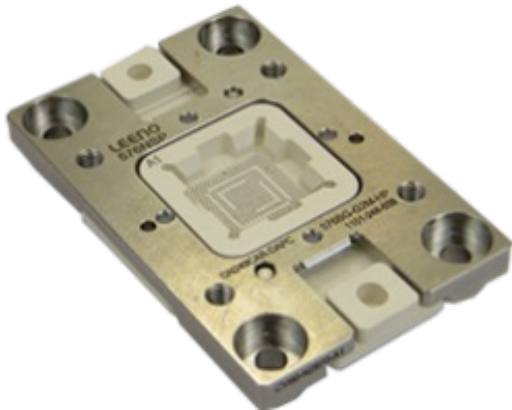
- 대부분 실수투성이 일 것임. 하지만 실수를 하더라도 기업들은 이 실수들을 통해서 이종 칩 결합에 대한 노하우를 쌓으려고 할 것. 실수를 하는 과정에서 R&D용 테스트 소켓의 구조를 다양하게 변경하여 새로운 주문을 늘릴 가능성이 있음.
- 테스트 콘텐츠의 다양성, 이종 칩 결합이라는 새로운 시대에서의 PKG와 PCB R&D test의 중요성이라는 두 가지 이유는 R&D 테스트 소켓 수요의 증가로 이어질 것으로 예상됨.

[수혜주 인사이트] R&D test 소켓의 중요도가 올라갈 것

R&D 테스트 소켓 기업 중 리노공업의 경쟁력(1)

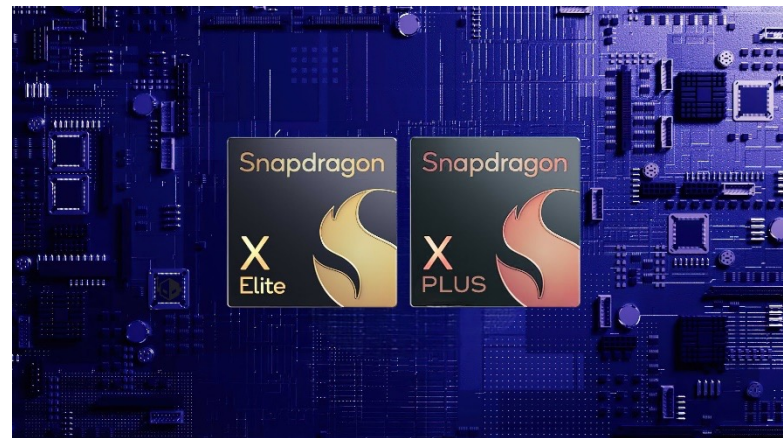
- 리노공업의 가장 큰 경쟁력은 고성능의 포고 핀 제조능력뿐 아니라 핀부터 스프링, 소켓 제조까지 전체의 과정이 한 기업 내에 수직계열화 되어 있다는 점. 그리고 그 전체 조직의 긴밀한 협업을 통해 품질 좋은 테스트 소켓을 전 세계에서 최단기간에 공급할 수 있다는 점임.
- 위의 경쟁력은 Time to Market이 중요한 반도체 제조 R&D 과정에서 매우 중요한 장점이며 오랜 업력을 바탕으로 고객사의 신뢰도가 매우 높음. 특히 R&D 테스트 소켓의 경우 R&D 자체의 특성상 OPM이 높으며 리노공업은 평균 약 40% 수준의 OPM을 달성하고 있음.
- 세계적인 빅 테크 업체들에게 테스트 소켓을 공급하고 있으며 퀄컴도 주요 고객사 중 하나임.
(퀄컴 향 매출 비중 30%선으로 추정됨.)
- 퀄컴과 마이크로소프트가 개발한 윈도우즈 온 ARM 기반의 Snapdragon X elite, Snapdragon X plus 기반 제품들의 반응이 좋을 시 수혜 예상 가능.

리노공업 테스트 소켓



자료 : 리노공업, 신영증권 리서치센터

윈도우즈 온 ARM 기반 Snapdragon X Elite, X Plus



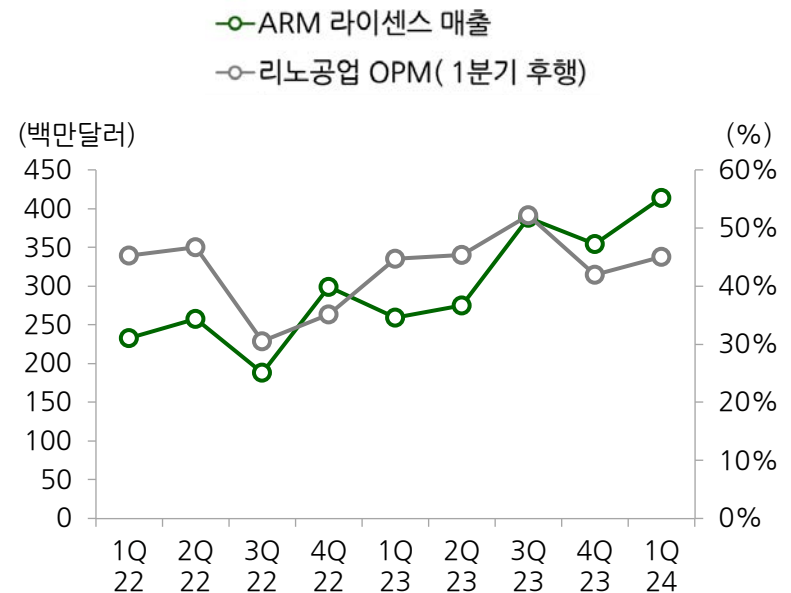
자료 : 퀄컴, 신영증권 리서치센터

[수혜주 인사이트] R&D test 소켓의 중요도가 올라갈 것

R&D 테스트 소켓 기업 중 리노공업의 경쟁력(2)

- 리노공업이 R&D 테스트 소켓 세계 최고 기업인 이유는 다양함. 대응 속도가 빠른 것만이 장점은 아님.
- 프로브 핀의 모양을 빠른 속도로 다양하게 대응할 수 있으며 이는 다양한 테스트 상황을 구현할 수 있다는 의미.(Low Signal Integrity, Warpage 상황 등)
- 다른 종류의 테스트 소켓보다 큰 파워 공급을 해줄 수 있음. (3.5A의 파워 공급이 가능함)
- 또 차세대 High speed interface 기술 중 하나로 제시한 PAM-3, PAM-4의 경우도 이미 GPU 테스트 소켓을 통해 공급한 이력이 있음.
- 위의 항목들은 R&D 테스트에서 모두 큰 장점이 되며 앞에서 제시한 컨슈머용 이종 칩 결합 시대의 R&D 수혜를 받을 수 있음.(온 디바이스 AI 등)
- 우측의 방법을 통해 리노공업의 높은 OPM이 R&D용 소켓에서 나온다는 유추를 해볼 수 있음. ARM license 매출의 증가는 곧 새로운 반도체 제품의 개발을 시작했다는 의미로 볼 수 있고 (ARM의 매출 인식 시점 고려 시) 보통 1분기 정도 뒤에 반도체 실제 칩 제조 완성됨.
- ARM 라이선스 매출 인식 뒤 한 분기 후행하여 리노공업의 R&D 테스트 소켓이 매출로 인식된다고 보았을 때 오른쪽 그림과 같이 ARM 라이선스 매출과 그 한 분기 뒤의 리노공업 OPM이 비례함을 통해 리노공업의 높은 OPM이 R&D용 테스트 소켓 때문임을 간접적으로 확인 가능.

ARM 라이선스 매출 vs 리노공업 OPM(한 개 분기 후행)



자료 : 블룸버그, 신영증권 리서치센터

[수혜주 인사이트] R&D용 EDA, 테스트 소켓 매출은 반도체 경기와 상관계수 낮음

시가총액 5000억 원 이상 & 한국, 미국, 대만, 일본에 본사 소재 &
2007년(메모리 수출입 통계 발표 시점) 이전에 상장한 기업 기준 (총 157개 기업)

	index	name	country	상관계수
1	6857-JP	Advantest	Japan	-0.118153429
2	TTMI-US	TTM Technologies	United States	-0.091785017
3	6728-JP	Ulvac	Japan	-0.059998716
4	ANSS-US	ANSYS	United States	-0.056574597
5	A074600	월익QnC	South Korea	-0.054750985
6	CEVA-US	Ceva	United States	-0.049696555
7	8155-JP	Mimasu Semiconductor Industry	Japan	-0.04142094
8	6590-JP	Shibaura Mechatronics	Japan	-0.035371537
9	7735-JP	Screen Holdings	Japan	-0.022702098
10	MCHP-US	Microchip Technology	United States	-0.014627089
11	MRVL-US	Marvell Technology	United States	-0.01158681
12	A084370	유진테크	South Korea	-0.01103121
13	6920-JP	Lasertec	Japan	-0.00961947
14	3030-TW	Test Research	Taiwan	-0.008314943
15	8035-JP	Tokyo Electron	Japan	0.010340202
16	KLIC-US	Kulicke and Soffa Industries	United States	0.016090707
17	2329-TW	Orient Semiconductor Electronics	Taiwan	0.026525299
18	CDNS-US	Cadence Design Systems	United States	0.030865272
19	6707-JP	Sanken Electric	Japan	0.033331113
20	COHU-US	Cohu	United States	0.037077081
21	3016-TW	Episil-Precision Inc	Taiwan	0.039639068
22	3413-TW	Foxsemicon Integrated Technology	Taiwan	0.041545606
23	2363-TW	Silicon Integrated System	Taiwan	0.05840938
24	A036930	주성엔지니어링	South Korea	0.071100464
25	A058470	리노공업	South Korea	0.07125411
26	4062-JP	Ibiden	Japan	0.073445671
27	KLAC-US	KLA	United States	0.074594145
28	2455-TW	Visual Photonics Epitaxy	Taiwan	0.074921128
29	ON-US	ON Semiconductor	United States	0.08017559
30	3436-JP	SUMCO	Japan	0.081705515
31	ACLS-US	Acxelis Technologies	United States	0.081888067
32	2760-JP	Tokyo Electron Device	Japan	0.085929576
33	6967-JP	Shinko Electric Industries	Japan	0.08756872
34	TER-US	Teradyne	United States	0.087610579
35	SNPS-US	Synopsys	United States	0.087757504
36	QRVO-US	Qorvo	United States	0.088043305
37	AMAT-US	Applied Material	United States	0.09098364

우측은 해당 기업의 매출과 삼성전자 매출 상관계수를 역순으로 sorting 한 테이블
(상관 계수가 낮을수록 위로 올라오도록 함): EDA 회사, R&D용 테스트 소켓 회사가 상위권에 속함
=> 해당 기업들의 경기와 무관한 장기 우상향을 기대해 볼 수 있음.



V. 결론



[Moore의 인사이트] 고든 무어 본인도 이중 칩 결합에 대한 예측을 했다.

무어의 법칙은 죽었다. 무어도 죽었다. 하지만 무어는 틀리지 않았다.

Day of Reckoning

“It may prove to be more economical to build large systems out of smaller functions, which are separately packaged and interconnected.”

“(미래에는) 따로 패키징 되고 상호 연결된 더 작은 기능들로 큰 시스템을 구성하는 게 경제적이 될 수 있습니다.”

- Gordon Moore @ white paper (1965) -

HBM은 큰 그림의 하나의 조각일 뿐이다. (One of the Beyond Moore)

앞으로 더 많은 기회가 있을 것이다.

그러기 위해서 당분간은 다양한 이중 칩 결합을 위한 기술 개발이 중요해질 것이다.

이중 칩 결합의 시행착오를 아껴줄 수 있는 EDA 빅 3 기업(CADENCE, SYNOPSYS, SIEMENS) 등과 이중 칩 결합 테스트 소켓을 가장 잘 대응할 수 있는 리노공업의 수혜 가능성을 제시한 이유이다.



VI. Appendix

1) EDA기업



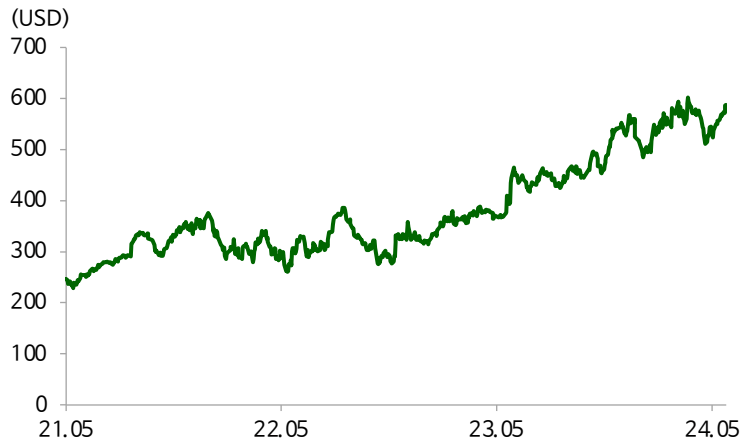
Synopsys (SNPS US)

Key Data

시가총액(bill USD)	85.9
Shares(백만주)	153.0
52주 최고 / 최저(USD)	629.3 / 416.8
PER(배)	59.2
배당수익률(%)	N/A
국가	미국
상장거래소	NASDAQ GS

주) 기준일:2024.06.03, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



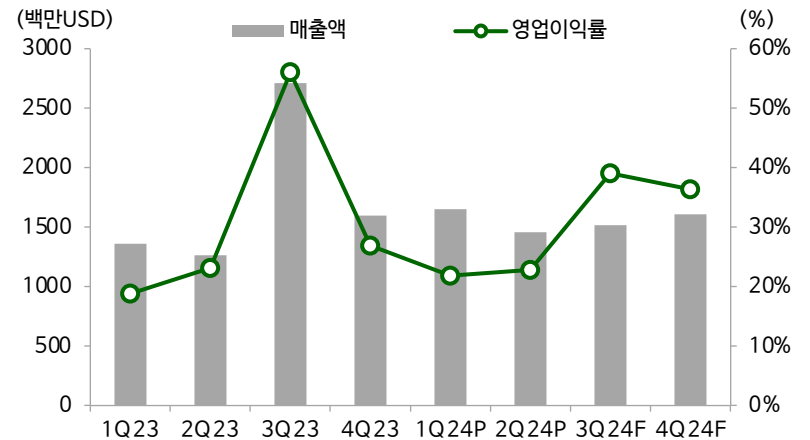
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(10월)	2021A	2022A	2023A	2024F	2025F
매출액(bill USD)	4.2	5.1	5.8	6.1	6.9
영업이익(bill USD)	0.7	1.2	1.3	2.3	2.7
순이익(bill USD)	0.8	1.0	1.2	1.4	1.8
EPS(USD)	5.0	6.4	8.1	9.3	10.6
ROE(%)	14.9	18.2	21.1	26.2	23.7
PER(배)	64.0	45.4	56.3	43.2	37.7
PBR(배)	9.6	8.1	11.6	10.6	9.1

주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

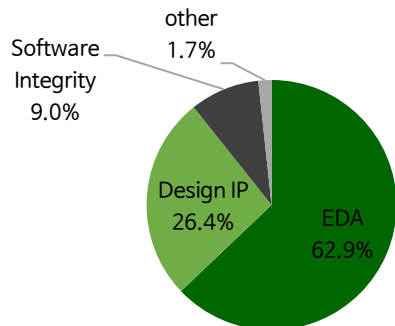
Synopsys 분기별 실적 추이 및 전망



주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

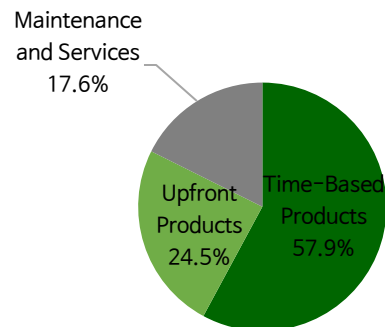
Synopsys (SNPS US)

Synopsys 사업 부문별 매출 비중 (FY 23)



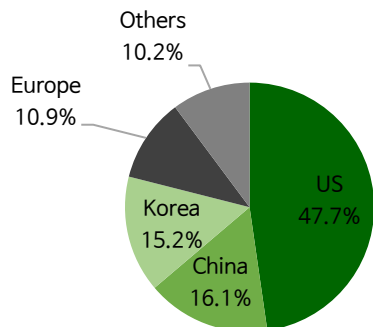
자료 : Bloomberg, 신영증권 리서치센터

Synopsys 상품별 매출 비중 (FY 23)



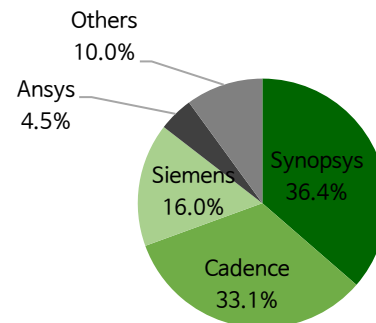
자료 : Bloomberg, 신영증권 리서치센터

Synopsys 지역별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

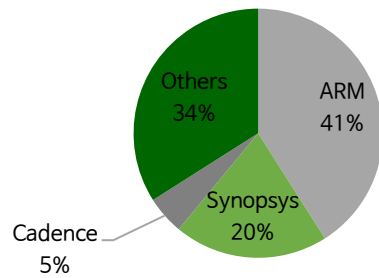
반도체 EDA 시장 점유율



자료 : Bloomberg Intelligence (24.04), 신영증권 리서치센터

Synopsys (SNPS US)

반도체 IP 시장 점유율



자료 : Bloomberg Intelligence (24.04), 신영증권 리서치센터

Synopsys (SNPS US)

분기별 실적

단위:백만USD	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24P	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	1,361.0	1,263.0	2,708.0	1,599.0	1,649.0	1,455.0	1,519.0	1,610.0	5,082.0	5,843.0	6,143.0
영업이익	256.0	292.0	1,516.0	431.0	360.0	332.0	594.0	586.0	1,162.0	1,269.0	2,344.0
영업이익률(%)	19.0	23.0	56.0	27.0	22.0	23.0	39.0	36.0	23.0	22.0	38.0
세전이익	279.0	297.0	321.0	410.0	465.0	342.0	598.0	598.0	1,116.0	1,302.0	2,383.0
당기순이익	272.0	273.0	1,557.0	349.0	449.0	292.0	358.0	380.0	985.0	1,230.0	1,449.0
YoY(%)											
매출액	7.2	-1.3	117.0	24.5	21.1	15.2	-43.9	0.7	20.9	15.0	5.1
영업이익	-26.3	-19.6	548.2	98.1	40.5	13.6	-60.9	36.0	58.1	9.2	84.6
세전이익	-14.7	-12.7	35.9	93.1	66.6	15.2	86.0	45.9	38.5	16.7	83.0
당기순이익	-13.4	-7.4	599.4	127.5	65.4	7.0	-77.0	8.7	30.0	24.9	17.8
ROA(%)	10.2	9.7	23.4	24.8	26.1	25.5	18.3	17.4	10.8	12.5	15.8
ROE(%)	17.1	16.2	39.0	42.0	42.7	40.8	27.6	25.8	18.2	21.1	26.2
PER	54.4	58.6	62.8	55.3	58.1	56.1	41.3	40.0	45.4	56.3	43.2
PBR	9.6	9.7	11.5	11.6	12.2	11.4	11.7	11.1	8.1	11.6	10.6

주) GAAP 기준, FY 기준(결산기 10월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

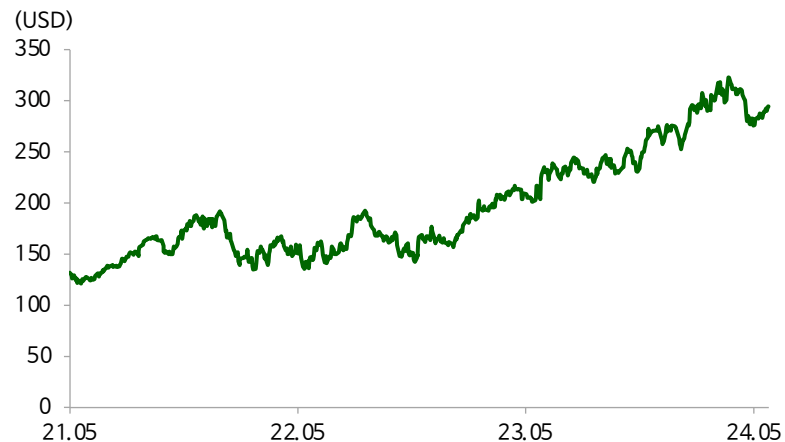
Cadence Design Systems (CDNS US)

Key Data

시가총액(bill USD)	77.9
Shares(백만주)	272.0
52주 최고 / 최저(USD)	327.3 / 217.7
PER(배)	83.1
배당수익률(%)	N/A
국가	미국
상장거래소	NASDAQ GS

주) 기준일: 2024.06.03, PER은 6월 3일 기준 LTM PER
자료: Bloomberg, 신영증권 리서치센터

주가 차트



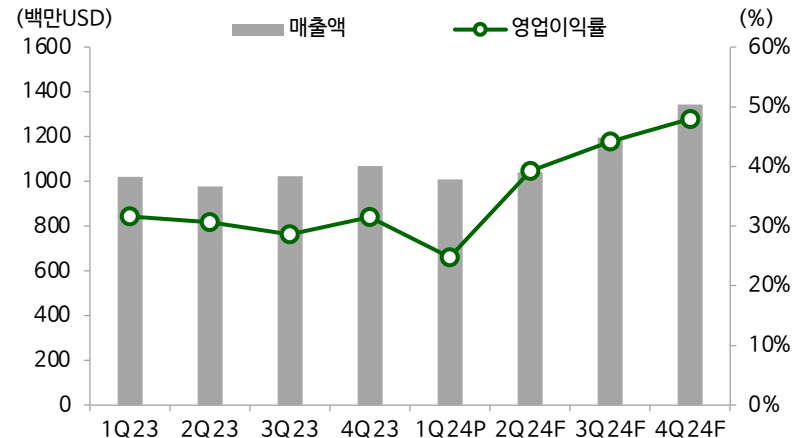
자료: Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액(bill USD)	3.0	3.6	4.1	4.6	5.2
영업이익(bill USD)	0.8	1.1	1.3	2.0	2.3
순이익(bill USD)	0.7	0.8	1.0	1.1	1.4
EPS(USD)	2.5	3.1	3.9	4.1	5.2
ROE(%)	26.6	31.0	33.9	37.8	37.3
PER(배)	73.1	49.2	71.9	49.2	41.9
PBR(배)	19.2	16.0	21.7	19.0	15.5

주) GAAP 기준, FY기준, 컨센서스 수치는 블룸버그 수치 사용
자료: Bloomberg, 신영증권 리서치센터

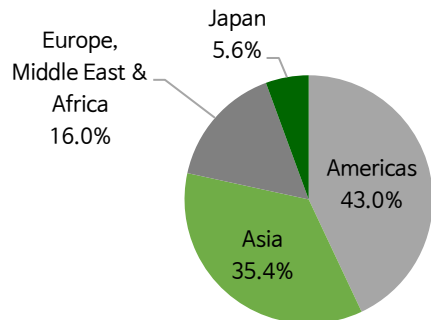
Cadence 분기별 실적 추이 및 전망



주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료: Bloomberg, 신영증권 리서치센터

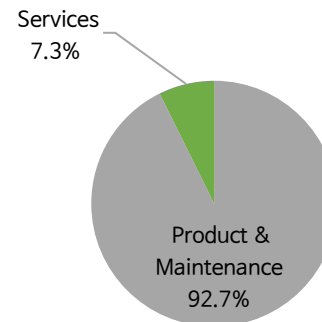
Cadence Design Systems (CDNS US)

Cadence 지역별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Cadence 사업 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Cadence 상품별 매출 비중 (FY 23)

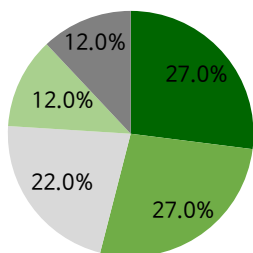
■ Digital IC Design & Signoff

■ Functional Verification

■ Custom IC Design

■ System Interconnect

■ IP



자료 : Bloomberg, 신영증권 리서치센터

Cadence Design Systems (CDNS US)

분기별 실적

단위:백만USD	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	1,021.7	976.6	1,023.1	1,068.6	1,009.1	1,040.0	1,193.8	1,342.1	3,561.7	4,090.0	4,587.4
영업이익	322.5	299.3	292.9	336.5	250.0	407.5	527.7	643.7	1,073.7	1,251.2	1,961.7
영업이익률(%)	31.6	30.7	28.6	31.5	24.8	39.2	44.2	48.0	30.2	30.6	42.8
세전이익	321.5	298.4	300.0	362.1	310.0	401.2	514.1	622.8	1,045.4	1,281.9	1,949.2
당기순이익	241.8	221.1	254.3	323.9	247.6	214.8	305.9	373.5	849.0	1,041.1	1,135.3
YoY(%)											
매출액	13.3	13.9	13.4	18.8	-1.2	6.6	16.7	25.6	19.2	14.8	12.2
영업이익	1.1	5.8	12.3	59.4	-22.5	36.1	80.2	91.3	37.8	16.5	56.8
세전이익	3.7	9.5	18.9	72.0	-3.6	34.4	71.4	72.0	36.0	22.6	52.1
당기순이익	2.7	18.3	36.5	34.7	2.4	-5.3	20.3	15.3	22.0	22.6	9.0
ROA(%)	17.9	18.7	18.4	19.3	19.2	22.8	27.8	33.7	17.8	19.3	22.4
ROE(%)	30.0	32.2	32.9	33.9	32.2	38.2	42.6	47.7	31.0	33.9	37.8
PER	61.7	67.9	65.7	72.3	90.4	45.3	42.7	41.7	49.2	71.9	48.3
PBR	19.5	21.9	20.5	21.7	23.7	21.5	20.7	19.5	16.0	21.7	18.7

주) GAAP 기준, FY 기준(결산기 12월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

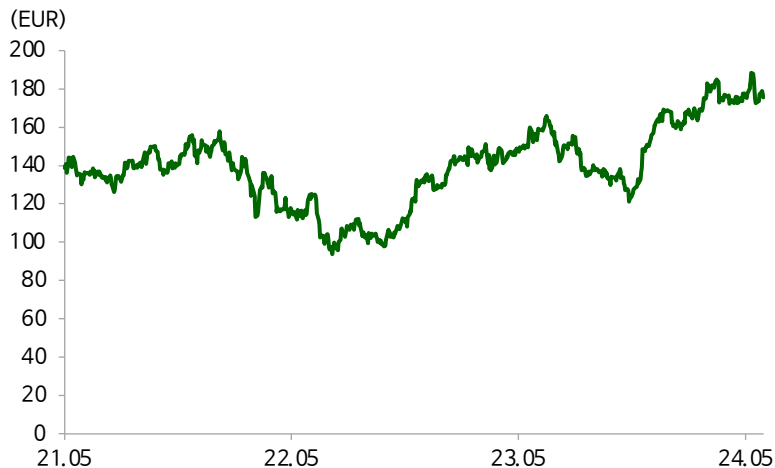
Siemens (SIE DE)

Key Data

시가총액(bill EUR)	141.0
Shares(백만주)	800.0
52주 최고 / 최저(EUR)	188.8/119.4
PER(배)	19.1
배당수익률(%)	2.6
국가	독일
상장거래소	Xetra

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



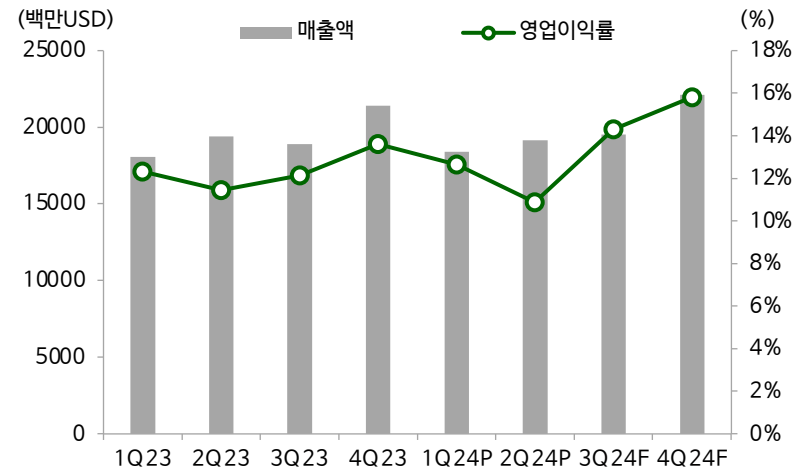
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(9월)	2021A	2022A	2023A	2024F	2025F
매출액(bill EUR)	62.3	72.0	77.8	79.5	83.6
영업이익(bill EUR)	6.5	9.3	9.6	10.9	12.5
순이익(bill EUR)	6.2	3.7	7.9	8.1	8.7
EPS(EUR)	7.7	4.7	10.0	10.3	11.2
ROE(%)	15.3	8.0	16.4	16.9	17.2
PER(배)	22.4	21.3	13.5	16.7	15.5
PBR(배)	2.6	1.6	2.2	2.7	2.5

주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

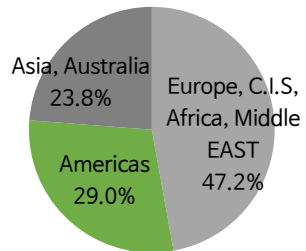
Siemens 분기별 실적 추이 및 전망



주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

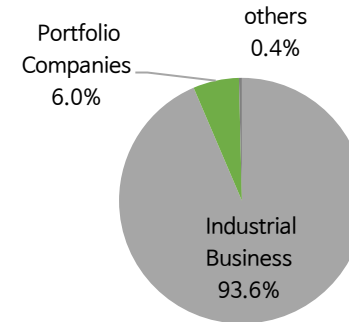
Siemens (SIE DE)

Siemens 지역별 매출 비중 (FY 23)



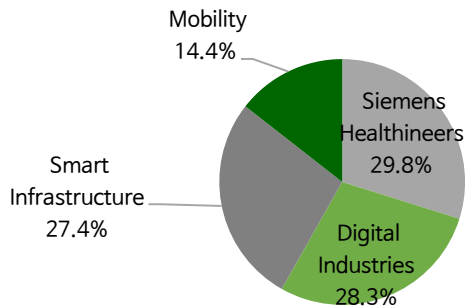
자료 : Bloomberg, 신영증권 리서치센터

Siemens 사업 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Siemens Industrial Business 세부 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Siemens (SIE DE)

분기별 실적

단위:백만EUR	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24P	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	18,070.0	19,416.0	18,889.0	21,394.0	18,412.0	19,162.0	19,533.1	22,106.8	71,977.0	77,769.0	76,465.3
영업이익	2,225.0	2,222.0	2,291.0	2,909.0	2,327.0	2,084.0	2,794.7	3,495.7	9,283.0	9,649.0	10,931.6
영업이익률(%)	12.3	11.4	12.1	13.6	12.6	10.9	14.3	15.8	12.9	12.4	13.8
세전이익	2,223.0	4,140.0	1,985.0	2,852.0	3,260.0	2,294.0	2,650.4	3,242.1	7,154.0	11,201.0	11,402.7
당기순이익	1,477.0	3,475.0	1,278.0	1,718.0	2,389.0	2,033.0	1,746.8	2,038.1	3,723.0	7,940.0	8,140.0
YoY(%)											
매출액	9.5	13.9	5.7	4.0	1.9	-1.3	3.4	3.3	15.6	8.0	2.2
영업이익	13.2	75.2	-5.8	-19.6	4.6	-6.2	22.0	20.2	43.0	3.9	13.3
세전이익	-9.2	136.6	-	-26.3	46.6	-44.6	33.5	13.7	-4.6	56.6	1.8
당기순이익	-10.1	236.1	-	-36.4	61.7	-41.5	36.7	18.6	-39.6	113.5	2.4
ROA(%)	2.5	4.2	6.2	5.4	6.1	5.2	1.8	-	2.6	5.4	4.8
ROE(%)	7.7	13.2	19.6	16.4	19.3	16.2	25.8	26.9	8.0	16.4	16.9
PER	28.8	19.6	13.6	13.4	15.1	19.2	15.8	15.1	21.3	13.5	16.9
PBR	2.4	2.6	2.7	2.2	3.0	3.1	-	-	1.6	2.2	2.7

주) FY기준(결산기 9월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

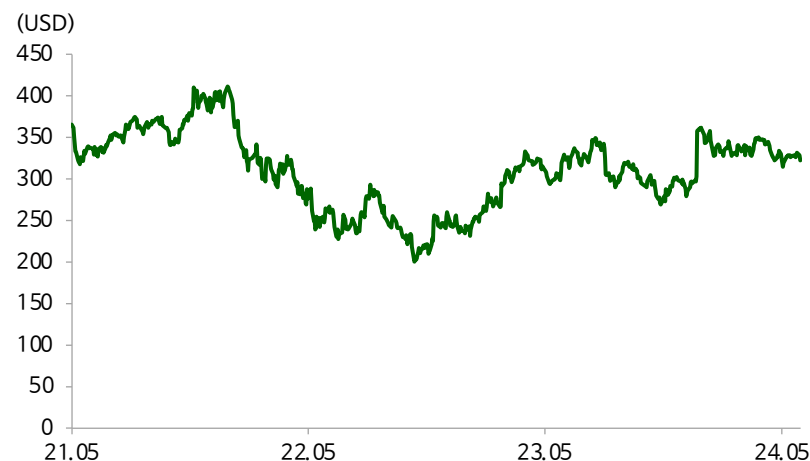
Ansys (ANSS US)

Key Data

시가총액(bill USD)	27.7
Shares(백만주)	87.3
52주 최고 / 최저(USD)	364.3/258.0
PER(배)	61.2
배당수익률(%)	N/A
국가	미국
상장거래소	NASDAQ GS

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



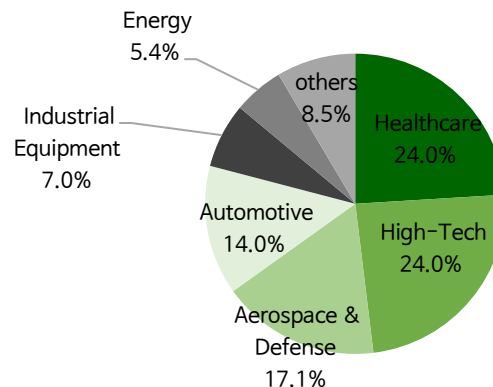
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액(bill USD)	1.9	2.1	2.3	2.4	2.7
영업이익(bill USD)	0.5	0.6	0.6	1.0	1.1
순이익(bill USD)	0.5	0.5	0.5	0.5	0.6
EPS(USD)	5.2	6.0	5.8	5.9	7.3
ROE(%)	10.6	11.2	9.8	11.4	12.6
PER(배)	74.3	39.5	62.4	34.0	30.5
PBR(배)	7.8	4.3	5.9	4.4	-

주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Ansys 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Ansys (ANSS US)

분기별 실적

단위:백만USD	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	509.4	496.6	458.8	805.1	466.6	549.8	518.2	892.0	2065.6	2269.9	2434.8
영업이익	127.7	95.6	69.8	333.0	43.3	207.2	187.3	480.7	592.7	626.1	1027.7
영업이익률	25.1	19.3	15.2	41.4	9.3	37.7	36.2	53.9	28.7	27.6	42.2
세전이익	120.8	84.0	62.5	324.8	41.0	203.9	183.9	468.7	575.3	592.1	1004.9
당기순이익	100.6	69.5	55.5	274.8	34.8	99.1	84.9	304.7	523.7	500.4	530.7
YoY(%)											
매출액	19.8	4.8	-2.9	16.0	-8.4	10.7	12.9	10.8	8.3	9.9	7.3
영업이익	57.3	-25.3	-43.4	28.0	-66.1	117.5	170.9	44.9	15.5	5.6	64.1
세전이익	54.9	-31.7	-47.0	26.7	-66.1	142.8	194.0	44.3	11.6	2.9	69.7
당기순이익	41.7	-29.6	-42.2	6.5	-65.4	45.4	58.6	11.5	15.2	-4.4	6.1
ROA(%)	8.8	8.2	7.5	7.1	6.4	-	-	-	8.1	7.1	6.8
ROE(%)	12.1	11.2	10.1	9.8	8.5	10.6	10.0	18.1	11.2	9.8	11.4
PER	51.8	54.4	53.1	62.4	66.9	33.3	32.6	32.1	39.5	62.4	33.7
PBR	6.0	5.8	5.2	5.9	5.6	5.0	4.9	4.4	4.3	5.9	4.3

주) GAAP 기준, FY 기준(결산기 12월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

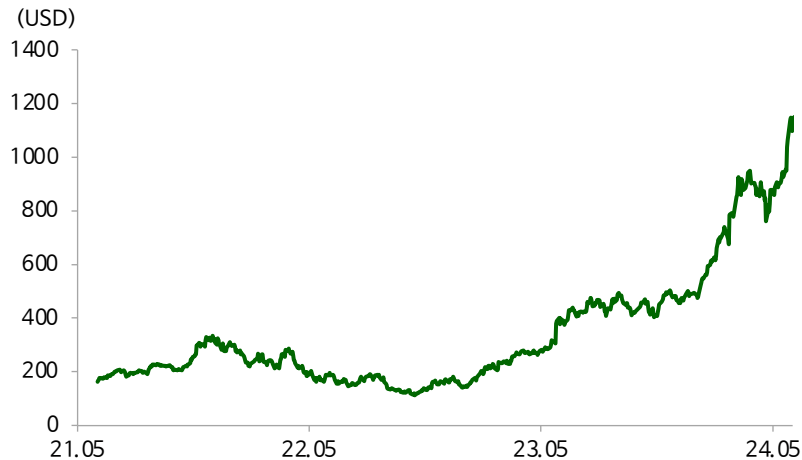
NVIDIA (NVDA US)

Key Data

시가총액(bill USD)	2,718.3
Shares(백만주)	2,460.0
52주 최고 / 최저(USD)	1,158.2/373.5
PER(배)	63.8
배당수익률(%)	N/A
국가	미국
상장거래소	NASDAQ GS

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



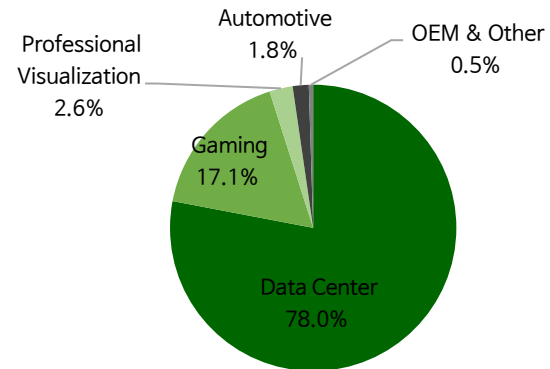
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(1월)	2022A	2023A	2024A	2025F	2026F
매출액(bill USD)	26.9	27.0	60.9	120.1	158.6
영업이익(bill USD)	10.0	4.2	33.0	78.9	103.1
순이익(bill USD)	9.8	4.4	29.8	64.7	84.5
EPS(USD)	3.9	1.8	12.1	26.1	34.6
ROE(%)	44.8	17.9	91.5	89.7	69.4
PER(배)	57.4	78.7	50.7	40.5	31.0
PBR(배)	21.5	22.7	35.0	30.8	17.5

주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

NVIDIA 부문별 매출 비중 (FY 24)



자료 : Bloomberg, 신영증권 리서치센터

NVIDIA (NVDA US)

분기별 실적

단위:백만USD	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25P	2Q 25F	3Q 25F	4Q 25F	2023A	2024A	2025F
매출액	7,192.0	13,507.0	18,120.0	22,103.0	26,044.0	28,504.8	31,211.3	34,394.9	26,974.0	60,922.0	120,056.3
영업이익	2,140.0	6,800.0	10,417.0	13,615.0	16,909.0	18,488.3	20,313.8	22,498.7	4,224.0	32,972.0	78,911.0
영업이익률	29.8	50.3	57.5	61.6	64.9	64.9	65.1	65.4	15.7	54.1	65.7
세전이익	2,209.0	6,981.0	10,522.0	14,106.0	17,279.0	18,828.1	20,625.5	23,198.5	4,181.0	33,818.0	80,664.7
당기순이익	2,043.0	6,188.0	9,243.0	12,285.0	14,881.0	14,865.9	16,148.4	17,744.4	4,368.0	29,760.0	64,705.7
YoY(%)											
매출액	-13.2	101.5	205.5	265.3	262.1	111.0	72.2	55.6	0.2	125.9	97.1
영업이익	14.6	1,262.7	1,633.3	983.1	690.1	171.9	95.0	65.2	-57.9	680.6	139.3
세전이익	22.4	1,369.7	1,616.5	994.3	682.2	169.7	96.0	64.5	-57.9	708.8	138.5
당기순이익	26.3	843.3	1,259.3	768.8	628.4	140.2	74.7	44.4	-55.2	581.3	117.4
ROA(%)	10.7	22.2	39.9	55.7	70.1	18.9	36.9	36.3	10.2	55.7	71.2
ROE(%)	18.9	40.2	69.2	91.5	115.7	110.5	107.0	86.4	17.9	91.5	89.7
PER	127.6	106.5	51.6	50.6	51.1	38.0	35.4	33.5	78.7	50.7	40.5
PBR	28.0	42.0	30.0	35.0	44.2	47.9	41.1	35.6	22.7	35.0	30.8

주) GAAP 기준, FY 기준(결산기 1월), 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

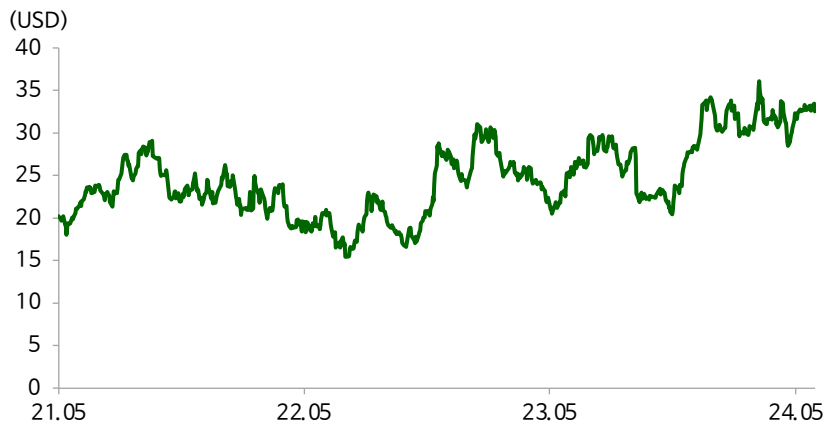
Amkor technology (AMKR US)

Key Data

시가총액(bill USD)	8.0
Shares(백만주)	246.2
52주 최고 / 최저(USD)	37.0/17.6
PER(배)	21.4
배당수익률(%)	0.9
국가	미국
상장거래소	NASDAQ GS

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



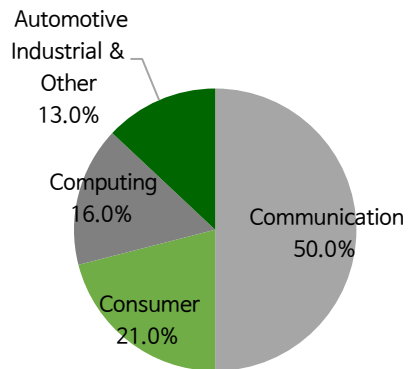
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액(bill USD)	6.1	7.1	6.5	6.5	7.3
영업이익(bill USD)	0.8	0.9	0.5	0.5	0.8
순이익(bill USD)	0.6	0.8	0.4	0.4	0.6
EPS(USD)	2.6	3.1	1.5	1.7	2.4
ROE(%)	24.4	23.2	9.4	10.3	13.4
PER(배)	9.8	7.7	22.8	19.1	13.7
PBR(배)	2.1	1.6	2.1	1.9	1.7

주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Amkor 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Amkor technology (AMKR US)

분기별 실적

단위:백만USD	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	1,471.5	1,457.9	1,821.8	1,751.8	1,365.5	1,449.5	1,866.7	1,834.8	7,091.6	6,503.1	6,536.4
영업이익	68.7	76.3	166.6	158.7	73.1	72.5	193.0	179.2	897.2	470.3	536.9
영업이익률	4.7	5.2	9.1	9.1	5.4	5.0	10.3	9.8	12.7	7.2	8.2
세전이익	56.1	73.9	162.4	151.5	72.0	66.5	186.6	172.8	856.9	443.8	522.9
당기순이익	45.4	64.3	132.6	117.6	58.9	54.3	152.8	141.3	765.8	359.8	404.3
YoY(%)											
매출액	-7.8	-3.1	-12.6	-8.1	-7.2	-0.6	2.5	4.7	15.5	-8.3	0.5
영업이익	-67.3	-46.6	-47.8	-29.5	6.4	-5.1	15.8	12.9	17.5	-47.6	14.2
세전이익	-72.1	-45.8	-47.6	-27.7	28.3	-9.9	15.0	14.0	19.8	-48.2	17.8
당기순이익	-73.4	-48.5	-56.7	-28.4	29.9	-15.6	15.2	20.1	19.1	-53.0	12.4
ROA(%)	10.0	8.9	6.1	5.3	5.6	3.2	6.2	6.3	11.9	5.3	4.8
ROE(%)	18.9	16.7	11.1	9.4	9.7	5.5	13.9	12.7	23.2	9.4	10.3
PER	10.0	12.7	13.7	22.8	21.2	17.4	15.5	14.4	7.7	22.8	19.1
PBR	1.7	2.0	1.4	2.1	2.0	2.0	2.0	1.9	1.6	2.1	1.9

주) GAAP 기준, FY 기준(결산기 12월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터



VI. Appendix

2) 반도체 R&D test 기업

반도체 R&D test 관련 수혜 peer 그룹 비교

테스트 소켓 PEER table

	단위: 백만 USD	리노공업	Formfactor	Yamaichi	Yokowo	Micronics JP
시가총액		3008.7	4222.7	481.5	315.6	1502.9
매출액	2022	250.3	747.9	347.5	576.7	273.1
	2023	195.7	663.1	252.3	532.6	337.6
	2024F	213.4	745.8	278.6	522.0	425.2
영업이익	2022	106.1	54.9	67.6	35.1	37.9
	2023	87.6	82.8	20.3	11.2	78.4
	2024F	90.2	97.7	39.1	24.5	110.5
OPM (%)	2022	42.4	7.3	19.4	6.1	13.9
	2023	44.8	12.5	8.1	2.1	23.2
	2024F	42.3	13.1	14.0	4.7	26.0
순이익	2022	88.8	50.7	53.3	23.3	29.4
	2023	84.9	82.4	14.3	10.5	55.1
	2024F	84.3	65.7	26.6	14.9	78.0
PER (배)	2022	20.6	26.3	5.7	15.5	34.3
	2023	27.7	767.2	24.8	24.4	25.5
	2024F	36.3	47.7	17.1	14.0	18.0
ROE (%)	2022	25.1	6.2	21.0	6.9	10.3
	2023	21.1	9.6	5.5	3.1	19.4
	2024F	19.4	8.5	11.8	8.1	26.1
PBR (배)	2022	4.8	2.1	1.1	1.0	3.4
	2023	5.5	3.6	1.3	0.7	4.4
	2024F	6.7	-	1.7	0.9	3.7

주) 환율 2024.06.03 기준, 일본 상장사는 3월 결산일을 고려하여 FY 2023/2024/2025F 실적 반영, 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

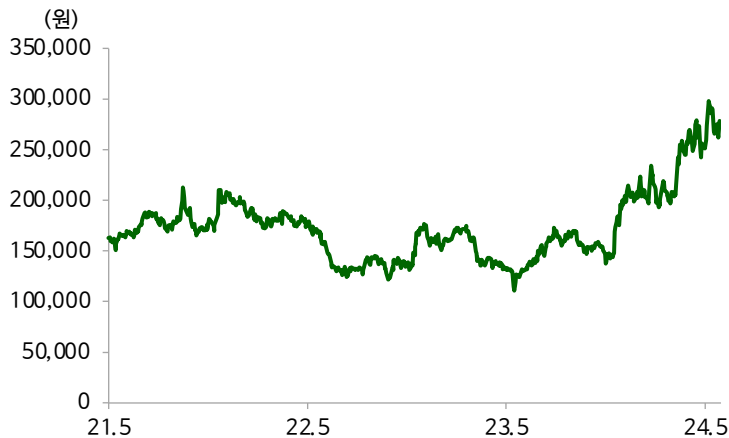
리노공업 (A058470)

Key Data

시가총액(십억원)	4,138.0
Shares(백만주)	15.2
52주 최고 / 최저(원)	309,000.0/129,500.0
PER(배)	35.5
배당수익률(%)	1.1
국가	대한민국
상장거래소	KOSDAQ

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



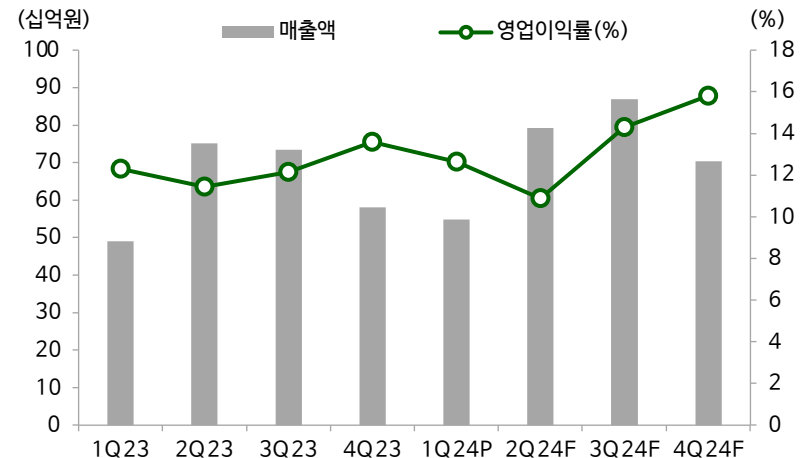
자료 : Quantwise, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액(십억원)	280.2	322.4	255.6	292.3	339.4
영업이익(십억원)	117.1	136.6	114.4	123.5	151.7
순이익(십억원)	103.8	114.4	110.9	115.4	133.2
EPS(원)	6839.0	7534.0	7308.0	7502.5	8687.0
ROE(%)	27.5	25.1	21.1	19.4	19.7
PER(배)	29.0	20.6	27.7	35.8	31.2
PBR(배)	7.2	4.8	5.5	6.6	5.8

주) 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

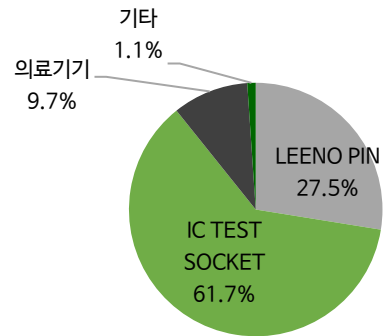
리노공업 분기별 실적 추이 및 전망



주) 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

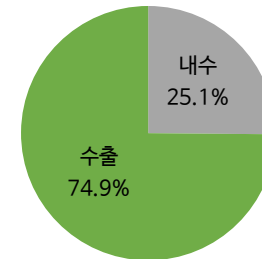
리노공업 (A058470)

리노공업 제품별 매출 비중



자료 : Bloomberg, 신영증권 리서치센터

리노공업 내수/수출 비중



자료 : Bloomberg, 신영증권 리서치센터

리노공업 (A058470)

분기별 실적

단위:십억원	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	49.1	75.1	73.4	58.0	54.9	79.3	86.9	70.4	322.4	255.6	292.3
영업이익	17.3	33.6	33.3	30.2	23.3	35.3	41.0	29.8	136.6	114.4	123.5
영업이익률(%)	35.2	44.7	45.4	52.2	42.5	44.5	47.2	42.3	42.4	44.8	42.3
세전이익	20.3	50.0	37.8	34.1	26.9	42.2	43.6	34.9	154.1	142.2	148.4
당기순이익	15.7	38.6	29.2	37.4	20.6	32.5	35.0	25.3	114.4	110.9	115.4
YoY(%)											
매출액	-45.0	-17.8	-18.6	12.2	11.7	5.6	18.4	21.4	15.1	-20.7	14.4
영업이익	-54.0	-18.7	-20.7	91.8	35.0	5.2	22.9	-1.5	16.7	-16.3	8.0
세전이익	-50.5	4.4	-25.7	139.0	32.8	-15.7	15.5	2.5	10.9	-7.7	4.3
당기순이익	-49.6	5.9	-24.5	240.7	31.0	-15.9	19.9	-7.7	10.2	-3.0	2.7
ROA(%)	18.8	19.0	15.9	19.9	20.2	4.6	5.3	4.0	20.6	27.7	35.8
ROE(%)	22.6	21.3	18.0	21.1	23.3	5.0	5.8	4.4	25.1	21.1	19.4
PER	22.0	22.1	25.5	27.7	33.5	33.7	32.2	30.8	20.6	27.7	35.8
PBR	4.7	4.4	4.4	5.5	7.3	7.2	6.9	6.6	4.8	5.5	6.6

주) 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

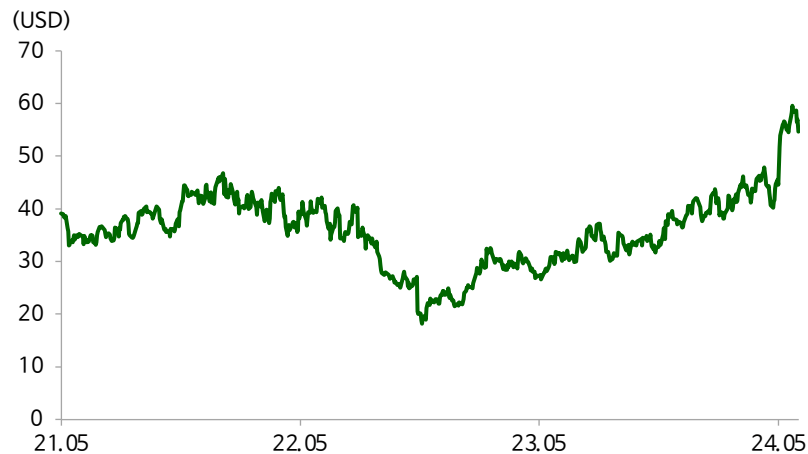
Formfactor (FORM US)

Key Data

시가총액(bill USD)	4.2
Shares(백만주)	77.2
52주 최고 / 최저(USD)	60.8 / 29.5
PER(배)	244.0
배당수익률(%)	NA
국가	미국
상장거래소	NASDAQ GS

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



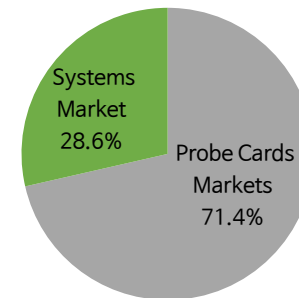
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액(mill USD)	769.7	747.9	663.1	745.8	816.1
영업이익(mill USD)	98.0	54.9	82.8	97.7	146.9
순이익(mill USD)	83.9	50.7	82.4	65.7	112.8
EPS(USD)	1.1	0.7	1.1	1.0	1.3
ROE(%)	10.8	6.3	9.6	8.5	13.3
PER(배)	39.4	26.3	767.3	47.7	32.8
PBR(배)	4.3	2.1	3.6	-	-

주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Formfactor 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

Formfactor (FORM US)

분기별 실적

단위:백만USD	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24P	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	167.4	155.9	171.6	168.2	168.7	195.0	188.7	194.4	747.9	663.1	745.8
영업이익	0.1	-1.3	2.7	81.3	21.3	27.7	27.1	30.1	54.9	82.8	97.7
영업이익률	0.1	-0.8	1.6	48.3	12.6	14.2	14.4	15.5	7.3	12.5	13.1
세전이익	1.4	0.6	5.2	82.1	25.0	26.5	25.4	29.1	57.9	89.3	95.1
당기순이익	1.3	0.8	4.4	75.8	21.8	15.6	16.2	21.7	50.7	82.4	65.7
YoY(%)											
매출액	-15.1	-23.5	-5.1	1.3	0.8	25.1	10.0	15.6	-2.8	-11.3	12.5
영업이익	-99.7	-	-32.8	-	23309.9	-	902.0	-63.0	-44.0	50.7	18.1
세전이익	-96.0	-98.1	-8.3	-	1697.1	4178.9	393.0	-64.6	-41.2	54.3	6.6
당기순이익	-95.5	-97.3	0.5	-	1523.0	1779.2	270.6	-71.4	-39.5	62.4	-20.3
ROA(%)	2.1	-0.7	-0.7	7.8	9.6	8.6	7.4	9.8	11.9	5.3	4.8
ROE(%)	2.7	-0.9	-0.9	9.6	11.8	10.2	9.2	11.1	23.2	9.4	10.3
PER	71.0	427.3	898.5	212.5	203.5	41.6	39.1	36.0	7.7	22.8	19.1
PBR	3.0	3.2	3.2	3.6	3.8	4.5	4.5	4.4	1.6	2.1	1.9

주) GAAP 기준, FY 기준(결산기 12월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

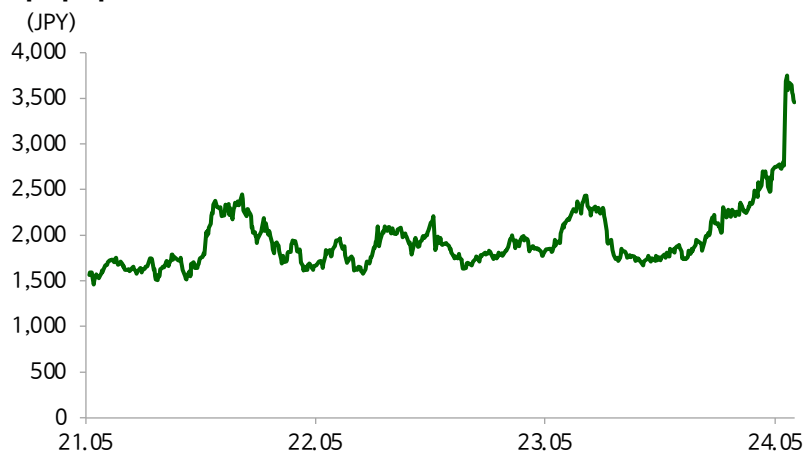
Yamaichi Electronics (6941 JP)

Key Data

시가총액(bill JPY)	75.4
Shares(백만주)	21.8
52주 최고 / 최저(JPY)	3,865.0/ 1,668.0
PER(배)	34.4
배당수익률(%)	2.1%
국가	일본
상장거래소	Tokyo

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



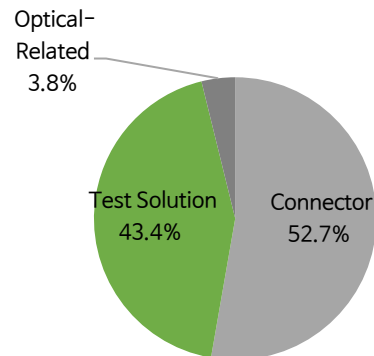
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(3월)	2022A	2023A	2024A	2025F	2026F
매출액(bill JPY)	39.6	47.0	36.4	43.5	45.8
영업이익(bill JPY)	8.4	9.1	2.9	6.1	6.9
순이익(bill JPY)	6.8	7.2	2.1	4.1	4.7
EPS(JPY)	319.2	346.1	100.4	202.8	228.5
ROE(%)	23.6	21.0	5.5	11.8	-
PER(배)	5.9	5.7	24.8	16.8	14.9
PBR(배)	1.3	1.1	1.3	1.6	1.5

주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Yamaichi 부문별 매출 비중 (FY 24)



자료 : Bloomberg, 신영증권 리서치센터

Yamaichi Electronics (6941 JP)

분기별 실적

단위:백만JPY	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25F	2Q 25F	3Q 25F	4Q 25F	2023A	2024A	2025F
매출액	8,817.1	9,789.7	8,408.6	9,408.5	13,000.0	12,000.0	10,000.0	11,000.0	46,985.4	36,423.8	43,500.0
영업이익	598.0	972.1	357.4	1,006.1	3,000.0	2,000.0	1,000.0	1,500.0	9,134.4	2,933.5	6,100.0
영업이익률	6.8	9.9	4.3	10.7	23.1	16.7	10.0	13.6	19.4	8.1	14.0
세전이익	649.3	1,181.0	251.7	1,002.2	-	-	-	-	9,451.0	3,084.2	-
당기순이익	347.1	851.5	189.6	672.0	-	-	-	-	7,212.5	2,060.2	4,145.0
YoY(%)											
매출액	-33.1	-30.0	-15.0	-5.2	47.4	22.6	18.9	16.9	18.7	-22.5	19.4
영업이익	-81.5	-71.7	-69.9	-21.4	401.7	105.7	179.8	49.1	9.1	-67.9	107.9
세전이익	-82.3	-67.5	-74.8	-14.0	-	-	-	-	7.8	-67.4	-
당기순이익	-86.6	-67.9	-69.9	-49.8	-	-	-	-	6.5	-71.4	101.2
ROA(%)	10.3	6.2	5.6	4.1	-	-	-	-	15.1	4.1	-
ROE(%)	14.2	8.6	7.6	5.5	-	-	-	-	21.0	5.5	-
PER	9.9	11.2	14.6	24.8	-	-	-	-	5.7	24.8	16.7
PBR	1.3	0.9	1.1	1.3	-	-	-	-	1.1	1.3	1.6

주) FY 기준(결산기 3월), 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

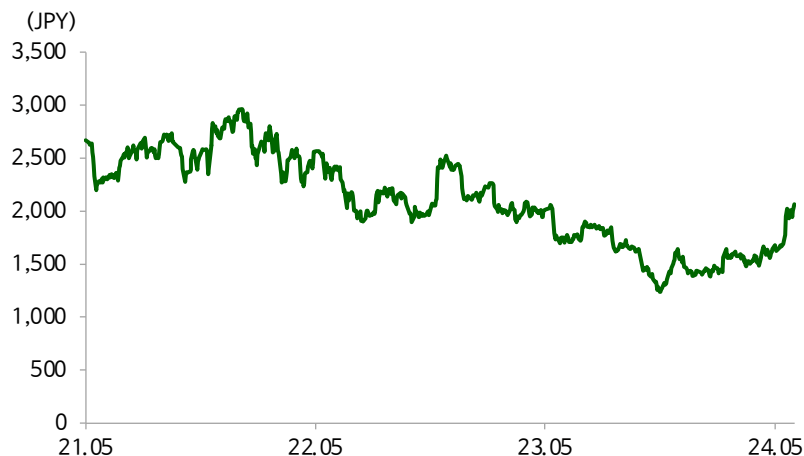
Yokowo (6800 JP)

Key Data

시가총액(bill JPY)	50.1
Shares(백만주)	23.8
52주 최고 / 최저(JPY)	2138.0 / 1206.0
PER(배)	32.4
배당수익률(%)	2.3
국가	일본
상장거래소	Tokyo

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



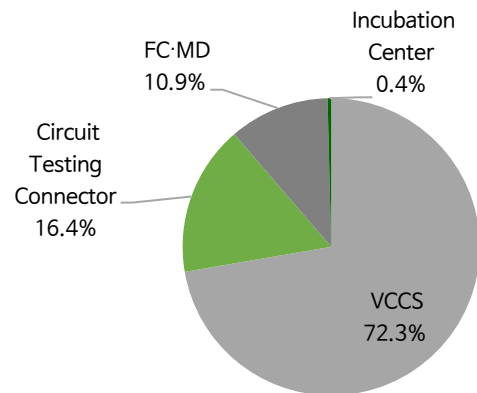
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(3월)	2022A	2023A	2024A	2025F	2026F
매출액(bill JPY)	66.8	78.0	76.9	81.9	85.8
영업이익(bill JPY)	4.7	4.7	1.6	3.9	6.7
순이익(bill JPY)	4.7	3.1	1.5	2.3	3.5
EPS(JPY)	202.3	135.0	64.9	148.8	194.3
ROE(%)	11.6	6.9	3.1	8.1	11.4
PER(배)	12.8	15.5	24.4	14.1	10.8
PBR(배)	1.4	1.0	0.7	0.9	0.8

주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Yokowo 부문별 매출 비중 (FY 24)



자료 : Bloomberg, 신영증권 리서치센터

Yokowo (6800 JP)

분기별 실적

단위:백만JPY	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25F	2Q 25F	3Q 25F	4Q 25F	2023A	2024A	2025F
매출액	18,181.0	18,613.0	20,310.0	19,791.0	19,500.0	21,000.0	21,000.0	20,500.0	77,962.0	76,895.0	81,900.0
영업이익	-258.0	138.0	867.0	870.0	800.0	1,200.0	1,400.0	1,600.0	4,739.0	1,617.0	3,850.0
영업이익률	-1.4	0.7	4.3	4.4	4.1	5.7	6.7	7.8	6.1	2.1	4.7
세전이익	1,139.0	292.0	-21.0	1,901.0	-	-	-	-	4,433.0	3,311.0	7,740.0
당기순이익	828.0	130.0	5.0	548.0	-	-	-	-	3,147.0	1,511.0	2,345.0
YoY(%)											
매출액	-3.9	-12.5	1.2	11.9	7.3	12.8	3.4	3.6	16.6	-1.4	6.5
영업이익	-	-94.3	-45.6	-	-	769.6	61.5	83.9	1.2	-65.9	138.1
세전이익	-	-	-	-	-	-	-	-	-31.4	-25.3	133.8
당기순이익	-59.2	-93.9	-97.9	-	-	-	-	-	-32.5	-52.0	55.2
ROA(%)	2.7	-0.1	-0.4	2.1	-	-	-	-	4.6	2.1	-
ROE(%)	4.1	-0.2	-0.7	3.1	-	-	-	-	6.9	3.1	8.1
PER	22.2	-	-	24.4	-	-	-	-	15.5	24.4	14.1
PBR	0.9	0.7	0.7	0.7	-	-	-	-	1.0	0.7	0.9

주) FY 기준(결산기 3월), 컨센서스 수치는 블룸버그 수치 사용
 자료: Bloomberg, 신영증권 리서치센터

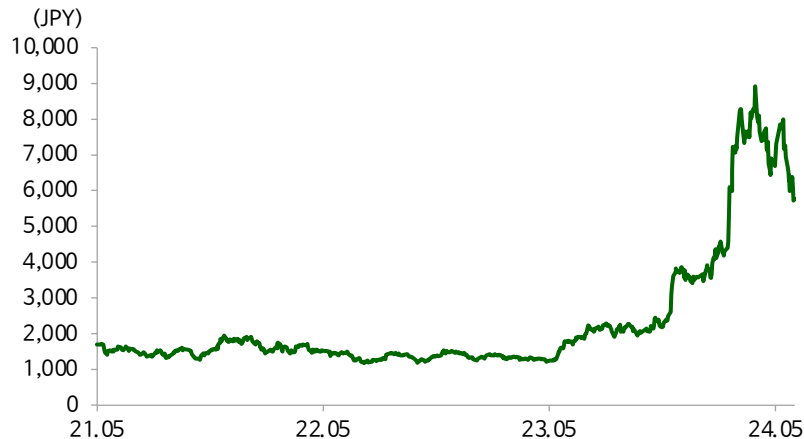
MICRONICS JAPAN (6871 JP)

Key Data

시가총액(bill JPY)	235.3
Shares(백만주)	40.0
52주 최고 / 최저(JPY)	8940.0 / 1700.0
PER(배)	52.9
배당수익률(%)	NA
국가	일본
상장거래소	Tokyo

주) 2024.06.03 기준, PER은 6월 3일 기준 LTM PER
자료 : Bloomberg, 신영증권 리서치센터

주가 차트



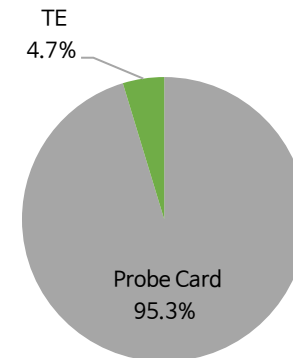
자료 :Refinitiv, 신영증권 리서치센터

실적 및 밸류에이션

결산기(12월)	2021A	2022A	2023A	2024F	2025F
매출액 (bill JPY)	40.0	44.3	38.3	53.0	66.8
영업이익 (bill JPY)	8.2	9.2	5.3	12.3	17.4
순이익 (bill JPY)	8.2	7.5	4.1	8.7	12.3
EPS (JPY)	215.1	195.7	107.0	230.9	327.4
ROE (%)	28.7	21.0	10.3	19.4	26.1
PER (배)	8.6	6.7	34.3	25.1	17.7
PBR (배)	2.2	1.3	3.4	4.3	3.6

주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

Micronics JP 부문별 매출 비중 (FY 23)



자료 : Bloomberg, 신영증권 리서치센터

MICRONICS JAPAN (6871 JP)

분기별 실적

단위:백만JPY	1Q 23	2Q 23	3Q 24	4Q 23	1Q 24	2Q 24F	3Q 24F	4Q 24F	2022A	2023A	2024F
매출액	9,769.0	7,216.0	8,537.0	12,770.0	11,794.0	14,206.0	14,000.0	14,000.0	44,321.0	38,292.0	53,000.0
영업이익	1,974.0	-224.0	913.0	2,649.0	2,508.0	3,492.0	3,200.0	3,400.0	9,225.0	5,312.0	12,300.0
영업이익률	20.2	-3.1	10.7	20.7	21.3	24.6	22.9	24.3	20.8	13.9	23.2
세전이익	1,885.0	-261.0	1,156.0	2,721.0	2,405.0	-	-	-	10,361.0	5,501.0	12,300.0
당기순이익	1,107.0	36.0	593.0	2,391.0	1,271.0	2,629.0	2,300.0	2,400.0	7,530.0	4,127.0	8,650.0
YoY(%)											
매출액	-0.3	-26.1	-19.2	-10.0	20.7	96.9	64.0	9.6	10.8	-13.6	38.4
영업이익	-8.7	-	-58.5	-9.4	27.1	-	250.5	28.4	11.9	-42.4	131.6
세전이익	-14.9	-	-56.6	-16.4	27.6	-	-	-	-7.9	-46.9	123.6
당기순이익	-12.0	-97.8	-62.3	-22.4	14.8	7,202.8	287.9	0.4	-8.6	-45.2	109.6
ROA(%)	15.0	11.5	9.2	7.5	7.8	-	-	-	14.5	7.5	-
ROE(%)	21.2	16.0	13.0	10.3	10.8	-	-	-	21.0	10.3	19.4
PER	7.0	13.3	16.9	34.3	80.2	-	-	-	6.7	34.3	25.1
PBR	1.4	2.0	2.1	3.4	8.2	-	-	-	1.3	3.4	4.3

주) FY 기준(결산기 12월); 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터



VI. Appendix

3) EDA 기업 M&A 히스토리

EDA 기업 M&A 히스토리

Synopsys M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2025-06-30	ANSYS Inc	EDA/ Chip Design	엔지니어링 SW / 첨단 패키징 관련 EDA 기업
2024-03-20	Intrinsic ID BV	Silicon IP	임베디드 시스템용 Security IP 기업 (PUF 기술 보유)
2023-12-12	Imperas Software Ltd	EDA/ Chip Design	RISC-V용 시뮬레이션 & Verification tool 기업
2023-10-10	Efabless Corp	EDA/ Chip Design	EDA 기업
2023-08-23	PikeTec GmbH	EDA/ Chip Design	자동차 SW 테스트 및 검증 솔루션 기업
2023-05-04	Silicon Frontline Technology LLC	EDA/ Chip Design	IC 레이아웃 검증, ESD 시뮬레이션 SW 기업
2022-06-30	OpenLight Photonics Inc	EDA/ Chip Design	광학 솔루션 기업 / 실리콘 포토닉스 광학 엔진 기술 보유
2022-06-23	WhiteHat Security Inc	EDA/ Chip Design	애플리케이션 보안 SaaS 기업
2021-11-01	Concertio Inc	EDA/ Chip Design	AI 기반 Performance optimization 소프트웨어 기업
2021-09-02	BISTel Inc	EDA/ Chip Design	Semiconductor & flat panel display solutions 부문 인수
2021-06-08	Code Dx Inc	EDA/ Chip Design	애플리케이션 보안 위험 관리 솔루션 기업
2021-05-04	Morethan IP Gesellschaft Fuer Systementwicklung mbH	Silicon IP	Ethernet Digital Controller IP 기업
2020-11-19	LightTec	EDA/ Chip Design	광학 측정 장비 기업
2020-11-11	Moortec Semiconductor Ltd	EDA/ Chip Design	In-chip monitoring 솔루션 기업
2020-06-10	Qualtera SAS	EDA/ Chip Design	반도체 테스트 및 제조 관련 빅데이터 분석 기업
2020-02-13	Invecas Inc	Silicon IP	로직 라이브러리, 임베디드 메모리, 아날로그, 인터페이스 IP 부문 인수
2020-01-13	eSilicon Corp	Silicon IP	메모리 인터페이스 IP 자산 인수
2020-01-09	Tinfoil Security Inc	EDA/ Chip Design	애플리케이션 보안 테스트 기업
2019-11-15	Dini Group LA Jolla Inc/The	EDA/ Chip Design	FPGA 프로타이핑 솔루션 기업
2019-10-02	QTronic GmbH	EDA/ Chip Design	자동차 소프트웨어 및 자동차용 시뮬레이션, 테스트 tool 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Synopsys M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2018-08-13	Source III Inc	EDA/ Chip Design	반도체 Digital Simulation & test tool 기업
2018-03-21	Silicon & Beyond Pvt Ltd	Silicon IP	고속 SerDes IP 개발 기업
2018-02-08	Phoenix BV	EDA/ Chip Design	포토닉 칩 디자인 솔루션 기업
2018-01-10	Kilopass Technology Inc	Silicon IP	OTP NVM IP 기업
2017-12-11	Black Duck Software Inc	EDA/ Chip Design	보안 소프트웨어 기업
2017-10-17	Sidense Corp	Silicon IP	OTP NVM IP 기업
2017-09-18	QuantamWise A/S	EDA/ Chip Design	반도체 재료 모델링 시뮬레이션 tool 기업
2016-12-01	Codiscope LLC	EDA/ Chip Design	보안 소프트웨어 기업
2016-11-30	Cigital Inc	EDA/ Chip Design	보안 소프트웨어 기업
2016-05-23	Gold Standard Simulations Ltd	EDA/ Chip Design	TCAD & EDA 시뮬레이션 솔루션 기업
2016-05-17	Simpleware Ltd	EDA/ Chip Design	3D 모델링 소프트웨어 기업
2016-03-02	WinterLogic Inc	EDA/ Chip Design	Falut Simulation 솔루션 기업
2015-12-18	Goanna Software Pty Ltd	EDA/ Chip Design	보안 소프트웨어 기업
2015-11-06	Protecode Inc	EDA/ Chip Design	보안 소프트웨어 기업
2015-08-03	Atrenta Inc	EDA/ Chip Design	Static Verification & implementation 솔루션 기업
2015-07-20	Quotium	EDA/ Chip Design	Software Security & Quality
2015-07-16	Silicon Vision AG	EDA/ Chip Design	Bluetooth Smart IP technology 부문 인수
2015-06-29	Codenomicon Oy	EDA/ Chip Design	Software Security & Quality
2015-06-29	Elliptic Technologies Inc	Silicon IP	security IP & 보안 솔루션
2014-05-15	Kalistick SAS	EDA/ Chip Design	보안 소프트웨어 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Synopsys M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2014-03-25	Coverity Inc	EDA/ Chip Design	보안 소프트웨어 기업
2014-02-28	Bradenburg GmbH	EDA/ Chip Design	차량 조명 설계용 CAD 소프트웨어 기업
2014-02-07	Target Compiler Technologies	Silicon IP	ASIPs 설계 & 프로그래밍 소프트웨어 기업
2012-11-30	SpringSoft Inc	EDA/ Chip Design	IC Design 소프트웨어 기업
2012-07-30	Ciranova Inc	EDA/ Chip Design	Custom IC Design EDA 기업
2012-05-08	RSoft Design Group Inc	EDA/ Chip Design	포토닉스 설계 & 시뮬레이션 소프트웨어 기업
2012-02-23	Magma Design Automation Inc	EDA/ Chip Design	Chip Design EDA
2012-02-15	Luminescent Technologies Ltd	EDA/ Chip Design	Lithography & Mask Synthesis 사업부 인수
2012-02-06	Inventure Inc	Silicon IP	PCIe IP를 비롯한 IP 특허 기업
2012-01-23	ExpertIO Inc	Silicon IP	Verification IP (VIP) 기업
2011-10-07	Extreme DA Corp	EDA/ Chip Design	Chip Timing Analysis tool을 비롯한 설계 EDA 기업
2011-09-02	nSys Design Systems Pvt Ltd	Silicon IP	Verification IP (VIP) 기업
2010-10-07	Optical Research Associates LLC	EDA/ Chip Design	광학(optical) 설계 소프트웨어 & 광학 엔지니어링 기업
2010-09-03	Virage Logic LLC	Silicon IP	Interface & Analog IP
2010-03-23	CoWare Inc	EDA/ Chip Design	시스템 레벨 EDA & IP 기업
2010-02-01	VaST Systems Technology Corp	EDA/ Chip Design	임베디드 시스템 EDA 기업
2009-05-08	Analog business group (MIPS Analog)	Silicon IP	Analog IP 기업
2008-12-18	ProDesign	EDA/ Chip Design	ASIC & SoC Verification에 특화된 CHIPit 사업부 인수
2008-05-16	Synplicity Inc	EDA/ Chip Design	FPGA & IC 설계 / 검증 솔루션 기업
2007-10-02	Sandwork Design Inc	EDA/ Chip Design	AMS(Analog and mixed-signal) Verification 솔루션 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Synopsys M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2007-07-30	Conversant Intellectual Property Management Inc	Silicon IP	Semiconductor IP 부문 인수
2007-06-18	ArchPro Design Automation Inc	EDA/ Chip Design	Power Management Verification 솔루션 기업
2006-08-16	SIGMA-C	EDA/ Chip Design	optical lithography, e-beam lithography 시뮬레이션 소프트웨어 기업
2006-05-16	Virtio Corp	EDA/ Chip Design	임베디드 소프트웨어 개발용 Virtual 플랫폼 기업
2005-12-08	HPL Technologies Inc	EDA/ Chip Design	수율 관리 소프트웨어 & 테스트 칩 솔루션 기업
2005-05-12	Nassda Corp	EDA/ Chip Design	verification 소프트웨어 기업
2004-11-30	Integrated Systems Engineering AG (I.S.E)	EDA/ Chip Design	TCAD 소프트웨어 기업
2004-11-02	LEDA Design	Silicon IP	IP Design assets 인수
2004-10-18	Cascade Semiconductor Solutions Inc	Silicon IP	PCIe digital IP 솔루션
2004-02-26	Analog Design Automation Inc	EDA/ Chip Design	회로 최적화(Optimization) EDA 솔루션 기업
2004-02-23	Accelerant Networks Inc	Silicon IP	SerDes 를 비롯한 interface IP 기업
2003-06-25	InnoLogic Systems Inc	EDA/ Chip Design	Symbolic simulation for equivalence checking
2003-03-03	Numerical Technologies Inc	EDA/ Chip Design	lithography tool
2002-09-20	Insilicon Corp	Silicon IP	AMS Interface IP 기업
2002-09-06	Co-Design Automation	EDA/ Chip Design	SUPERLOG (HDL의 일종) 개발 기업
2002-06-06	Avant! Corp/US	EDA/ Chip Design	Bake-end 설계 EDA 기업
2001-11-12	C Level Design Inc	EDA/ Chip Design	HDL 시뮬레이션 tool 기업
2000-08-04	Innoveda	EDA/ Chip Design	Virsim™ HDL Verification tool 인수
1998-12-10	Everest Design Automation Inc	EDA/ Chip Design	Circuit Routing 소프트웨어 솔루션 기업
1998-07-21	Systems Science Inc	EDA/ Chip Design	Verification & test tool 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Synopsys M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
1997-12-05	Viewlogic Systems Inc	EDA/ Chip Design	IC Design EDA 기업
1997-03-03	Epic Design Technology Inc	EDA/ Chip Design	시뮬레이션 및 분석 EDA 기업
1994-02-17	Logic Modeling Corp	EDA/ Chip Design	Verification & 소프트웨어 시뮬레이션 EDA 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Cadence M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2024-06-30	BETA CAE Systems International AG	EDA/ Chip Design	자동차, 항공우주 고성능 시뮬레이션 SW 기업
2024-01-08	Invecas Inc	EDA/ Chip Design	커스텀 반도체, 첨단 패키징 솔루션 EDA/IP 기업
2023-10-03	Intrinsix Corp	Silicon IP	항공 우주 중심의 반도체 IP 기업. Chiplet 인터페이스 기술 보유
2023-09-07	Rambus Inc	Silicon IP	SerDes, Memory PHY IP 부문 인수
2023-05-22	Pulsic Ltd	Silicon IP	아날로그, Custom Place & Route 보유한 EDA/IP 기업
2022-09-01	Openeye Scientific Software Inc	EDA/ Chip Design	분자 모델링 시뮬레이션 기업
2022-07-15	Future Facilities Inc	EDA/ Chip Design	3D 디지털 트윈 활용한 데이터센터 냉각/ 에너지 성능 최적화 솔루션 기업
2021-04-15	Pointwise Inc	EDA/ Chip Design	전산유체역학 솔루션 기업
2021-02-24	Numerical Mechanics Applications International SA	EDA/ Chip Design	전산 유체역학 솔루션 기업
2020-08-12	Inspector Augmented Interfaces Inc	EDA/ Chip Design	PCB 디자인 AR tool 기업
2020-02-13	Integrand Software Inc	EDA/ Chip Design	EM sign-off tool EDA 기업
2020-01-15	AWR Corp	EDA/ Chip Design	RF(무선주파수), 마크로파, 고주파 아날로그 회로 EDA 기업
2019-02-19	Green Hills Software LLC	EDA/ Chip Design	임베디드 시스템 개발 솔루션 기업. RTOS 분야 점유율 1위 INTEGRITY 보유
2017-11-01	nusemi Inc	Silicon IP	초고속 SerDes IP 기업
2016-05-03	Rocketick Technologies Ltd	EDA/ Chip Design	멀티 코어 병렬 Logic Simulation 기업
2016-01-22	Sibridge Technologies Pvt Ltd	EDA/ Chip Design	칩 설계 및 Verification 관련 IP & 임베디드 시스템 설계 소프트웨어 기업
2014-06-16	Jasper Design Automation Inc	EDA/ Chip Design	칩 설계 및 Verification EDA 기업
2014-02-18	CynApps Inc	EDA/ Chip Design	HDL용 C++ class 라이브러리 개발 기업
2014-02-12	Transwitch Corp	Silicon IP	High speed interface IP 부문 인수
2013-06-13	Evatronix SA	Silicon IP	IP 사업부 인수

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Cadence M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2013-03-12	Tensilica Inc	Silicon IP	ASIC, SoC 기반 DPU IP 기업
2012-07-02	Sigrity Inc	EDA/ Chip Design	PCB & IC package 설계 EDA
2011-07-11	Azuro Inc	EDA/ Chip Design	반도체 설계 시 PPA 최적화를 위한 ccopt(클록 동시 최적화) 기술 보유 기업
2011-05-10	Altos Design Automation Inc	EDA/ Chip Design	Timing & Signal integrity EDA 기업
2010-06-17	Denali Software Inc	EDA/ Chip Design	SoC Design & Verification EDA 및 IP 기업
2010-03-23	Taray Inc	EDA/ Chip Design	FPGA 최적화 tool 기업
2008-03-07	Chip Estimate Corp	EDA/ Chip Design	IP reuse management 솔루션 기업
2007-08-15	Clear Shape Technologies Inc	EDA/ Chip Design	DFM(Design For Manufacturing) 소프트웨어 기업
2007-07-10	Invarium Inc	EDA/ Chip Design	포토마스크 설계 및 공정 최적화 기업
2007-05-14	CommandCad Inc	EDA/ Chip Design	IC layout 최적화 tool 기업
2005-04-07	Verisity Ltd	EDA/ Chip Design	Verification 자동화 솔루션 기업
2004-04-06	Neolinear Inc	EDA/ Chip Design	Layout tool 기업
2004-01-05	Q Design Automation Inc	EDA/ Chip Design	Layout 최적화 소프트웨어 기업
2003-07-14	Verplex Systems Inc	EDA/ Chip Design	Verification tool 기업
2003-05-07	K2 Technologies Inc	EDA/ Chip Design	포토마스크 데이터 preparation 기업
2003-04-10	Get2Chip.com Inc	EDA/ Chip Design	RTL complier tool 기업 (논리합성)
2003-01-15	Celestry Design Technologies Inc	EDA/ Chip Design	회로 simulation tool 기업
2002-11-22	Antrim Design Systems Inc	EDA/ Chip Design	Analog Prototyping 소프트웨어 기업
2002-06-28	Simplex Solutions Inc	EDA/ Chip Design	IC 설계 & Verification 소프트웨어 기업
2002-04-24	Plato Design Systems	EDA/ Chip Design	SoC Routing & Design 최적화 기업

자료 : Bloomberg, 산업자료, 신영증권 리서치센터

EDA 기업 M&A 히스토리

Cadence M&A 리스트

인수 완료 시점	인수 대상 기업	분류	내용
2001-12-20	Silicon Perspective Corp	EDA/ Chip Design	Prototyping tool 기업
2001-04-12	Mitsui & Co Ltd	EDA/ Chip Design	Emulation 부서
2001-03-02	CadMOS Design Technology Inc	EDA/ Chip Design	반도체 설계 Noise-Analysis 솔루션 tool 기업
2000-03-21	Westport Technologies Inc	EDA/ Chip Design	통신 기술 특화 디자인 서비스 기업
1999-11-22	Diablo Research Corp	EDA/ Chip Design	무선 기술 특화 디자인 서비스 기업
1999-07-30	Orcad Inc	EDA/ Chip Design	PCB 설계 EDA 기업
1999-05-26	Quickturn Design Systems Inc	EDA/ Chip Design	Verification & Emulation 기업
1999-02-05	Design Acceleration Inc	EDA/ Chip Design	Verification tool 기업
1998-10-01	Bell Labs Design Automation	EDA/ Chip Design	Verification & Simulation EDA
1998-09-30	Ambit Design Systems Inc	EDA/ Chip Design	논리합성 tool 기업
1998-03-02	SYMBIONICS	EDA/ Chip Design	무선 통신 및 가전 제품 개발 서비스 기업
1997-05-07	Cooper & Chyan Technology	EDA/ Chip Design	Routing tool 기업
1996-12-19	High Level Design Systems	EDA/ Chip Design	IC 설계 기업
1993-07-06	COMDISCO SYSTEMS INC	EDA/ Chip Design	DSP 알고리즘 설계 및 시뮬레이션 소프트웨어 기업
1991-12-31	Valid Logic Systems Inc	EDA/ Chip Design	초기 EDA 기업
1989-10-05	Gateway Design Automation Corp	EDA/ Chip Design	Verilog 개발 기업



VI. Appendix

4) 반도체 산업 업황 상관계수 분석

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)				
순위	index	name	country	상관계수
1	6857-JP	Advantest	Japan	-0.118153429
2	TTMI-US	TTM Technologies	United States	-0.091785017
3	6728-JP	Ulvac	Japan	-0.059998716
4	ANSS-US	ANSYS	United States	-0.056574597
5	A074600	원익QnC	South Korea	-0.054750985
6	CEVA-US	Ceva	United States	-0.049696555
7	8155-JP	Mimasu Semiconductor Industry	Japan	-0.04142094
8	6590-JP	Shibaura Mechatronics	Japan	-0.035371537
9	7735-JP	Screen Holdings	Japan	-0.022702098
10	MCHP-US	Microchip Technology	United States	-0.014627089
11	MRVL-US	Marvell Technology	United States	-0.01158681
12	A084370	유진테크	South Korea	-0.01103121
13	6920-JP	Lasertec	Japan	-0.00961947
14	3030-TW	Test Research	Taiwan	-0.008314943
15	8035-JP	Tokyo Electron	Japan	0.010340202
16	KLIC-US	Kulicke and Soffa Industries	United States	0.016009707
17	2329-TW	Orient Semiconductor Electronics	Taiwan	0.026525299
18	CDNS-US	Cadence Design Systems	United States	0.030865272
19	6707-JP	Sanken Electric	Japan	0.033331113
20	COHU-US	Cohu	United States	0.037077081

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
21	3016-TW	Episil-Precision Inc	Taiwan	0.039639068
22	3413-TW	Foxsemicon Integrated Technology	Taiwan	0.041545606
23	2363-TW	Silicon Integrated System	Taiwan	0.05840938
24	A036930	주성엔지니어링	South Korea	0.071100464
25	A058470	리노공업	South Korea	0.07125411
26	4062-JP	Ibiden	Japan	0.073445671
27	KLAC-US	KLA	United States	0.074594145
28	2455-TW	Visual Photonics Epitaxy	Taiwan	0.074921128
29	ON-US	ON Semiconductor	United States	0.08017559
30	3436-JP	SUMCO	Japan	0.081705515
31	ACLS-US	Axcelis Technologies	United States	0.081888067
32	2760-JP	Tokyo Electron Device	Japan	0.085929576
33	6967-JP	Shinko Electric Industries	Japan	0.08756872
34	TER-US	Teradyne	United States	0.087610579
35	SNPS-US	Synopsys	United States	0.087757504
36	QRVO-US	Qorvo	United States	0.088043305
37	AMAT-US	Applied Material	United States	0.09098364
38	7433-JP	Hakuto	Japan	0.095189738
39	PLAB-US	Photronics	United States	0.101912169
40	3532-TW	Formosa Sumco Technology	Taiwan	0.105117666

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
41	A064760	티씨케이	South Korea	0.10792797
42	ONTO-US	Onto Innovation	United States	0.10846226
43	LSCC-US	Lattice Semiconductor	United States	0.108957303
44	A042700	한미반도체	South Korea	0.113335689
45	6963-JP	Rohm	Japan	0.114686004
46	A036810	에프에스티	South Korea	0.117837703
47	A005290	동진썬미켄	South Korea	0.119914195
48	6961-JP	Enplas	Japan	0.120316482
49	6315-JP	Towa	Japan	0.120658994
50	CAMT-US	Camtek	United States	0.122650216
51	ROG-US	Rogers	United States	0.123081122
52	ENTG-US	Entegris	United States	0.124217269
53	A080220	제주반도체	South Korea	0.126689086
54	7729-JP	Tokyo Seimitsu	Japan	0.127778672
55	A003160	디아이	South Korea	0.132360306
56	VSH-US	Vishay Intertechnology	United States	0.134032304
57	NVMI-US	Nova	United States	0.134272926
58	UCTT-US	Ultra Clean Holdings	United States	0.134791815
59	6965-JP	Hamamatsu Photonics	Japan	0.136340509
60	8131-TW	Formosa Advanced Technologies	Taiwan	0.137343575

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
61	6196-TW	Marketch International	Taiwan	0.138988046
62	PDFS-US	PDF Solutions	United States	0.139726977
63	2338-TW	Taiwan Mask	Taiwan	0.140016323
64	2408-TW	Nanya Technology	Taiwan	0.140286097
65	A000990	DB하이텍	South Korea	0.142157021
66	6966-JP	Mitsui High Tec	Japan	0.142325328
67	5434-TW	Topco Scientific	Taiwan	0.142593691
68	SWKS-US	Skyworks Solutions	United States	0.14399872
69	3044-TW	Tripod Technology	Taiwan	0.146579746
70	A079370	제우스	South Korea	0.146588391
71	FORM-US	FormFactor	United States	0.151633468
72	3189-TW	Kinsus Interconnect Technology	Taiwan	0.151941812
73	6146-JP	Disco	Japan	0.157686905
74	6723-JP	Renesas Electronics	Japan	0.159694785
75	SLAB-US	Silicon Laboratories	United States	0.16180574
76	3014-TW	Integrated Technology Express	Taiwan	0.168147162
77	2355-TW	Chin-Poon Industrial	Taiwan	0.169351777
78	INTC-US	Intel Corporation	United States	0.169548868
79	6941-JP	Yamaichi Electronics	Japan	0.172801101
80	ADI-US	Analog Devices	United States	0.175077125

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
81	AMKR-US	Amkor Technology	United States	0.182072657
82	RMBS-US	Rambus	United States	0.183715463
83	3010-TW	Wah Lee Industrial	Taiwan	0.1844258
84	6323-JP	Rorze	Japan	0.191907261
85	6875-JP	MegaChips	Japan	0.195311269
86	A031980	피에스케이홀딩스	South Korea	0.196525485
87	6871-JP	Micronics Japan	Japan	0.199661332
88	2458-TW	Elan Microelectronics	Taiwan	0.202673944
89	VECO-US	Veeco Instruments	United States	0.202867797
90	TSEM-US	Tower Semiconductor	United States	0.203966987
91	A036540	SFA반도체	South Korea	0.206682259
92	2451-TW	Transcend Information	Taiwan	0.208294111
93	AMD-US	Advanced Micro Devices	United States	0.208744277
94	2401-TW	Sunplus Technology	Taiwan	0.212206154
95	TXN-US	Texas Instrument	United States	0.216108475
96	2351-TW	Sdi	Taiwan	0.217248095
97	A039440	에스티아이	South Korea	0.219120026
98	3006-TW	Elite Semiconductor Microelectronics Technology	Taiwan	0.220954994
99	A039030	이오테크닉스	South Korea	0.225741677
100	8081-TW	Global Mixed-Mode Technology	Taiwan	0.234256824

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
101	2303-TW	United Micro Electronics	Taiwan	0.236176923
102	3443-TW	Global Unichip	Taiwan	0.23978697
103	NVDA-US	NVIDIA	United States	0.245591287
104	2441-TW	Greatek Electronics	Taiwan	0.246372634
105	LRCX-US	Lam Research	United States	0.247536691
106	6278-TW	Taiwan Surface Mounting Technology	Taiwan	0.251094262
107	2368-TW	Gold Circuit Electronics	Taiwan	0.251966623
108	2449-TW	King Yuan Electronics	Taiwan	0.253291624
109	5469-TW	Hannstar Board	Taiwan	0.258535677
110	6153-TW	Career Technology (Mfg)	Taiwan	0.258586246
111	2388-TW	VIA Technologies	Taiwan	0.260817491
112	2486-TW	I-Chiun Precision Industry	Taiwan	0.262899365
113	OLED-US	Universal Display	United States	0.272700697
114	MPWR-US	Monolithic Power Systems	United States	0.275231968
115	DIOD-US	Diodes	United States	0.279256626
116	6257-TW	Sigurd Microelectronics	Taiwan	0.279502506
117	2379-TW	Realtek Semiconductor	Taiwan	0.281546443
118	3034-TW	Novatek Microelectronics	Taiwan	0.28198748
119	6239-TW	Powertech Technology	Taiwan	0.286998007
120	6213-TW	Iteq	Taiwan	0.288340573

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
121	2467-TW	C Sun MFG	Taiwan	0.291574534
122	SYNA-US	Synaptics	United States	0.295016086
123	A046890	서울반도체	South Korea	0.297000916
124	2340-TW	Opto Tech	Taiwan	0.299701736
125	A000660	SK하이닉스	South Korea	0.300472984
126	6202-TW	Holtek Semiconductor	Taiwan	0.302806331
127	6189-TW	Promate Electronic	Taiwan	0.30511703
128	6269-TW	Flexium Interconnect	Taiwan	0.30755884
129	2383-TW	Elite Material	Taiwan	0.307857961
130	SMTC-US	Semtech	United States	0.311245129
131	CRUS-US	Cirrus Logic	United States	0.316465474
132	2330-TW	Taiwan Semiconductor Manufacturing	Taiwan	0.317615
133	QCOM-US	QUALCOMM	United States	0.319825168
134	2344-TW	Winbond Electronics	Taiwan	0.323275309
135	MU-US	Micron Technology	United States	0.323586158
136	6271-TW	Tong Hsing Electronic Industries	Taiwan	0.324874836
137	A067310	하나마이크론	South Korea	0.327053275
138	8112-TW	Supreme Electronics	Taiwan	0.331500969
139	2393-TW	Everlight Electronics	Taiwan	0.333024057
140	2337-TW	Macronix International	Taiwan	0.334138528

주) 2007.1Q~2023.4Q 68개 분기 데이터 기준 / 시총 5천억 이상 / 2007년(메모리 수출입 통계 발표시점) 이전 상장 / 한국, 미국, 대만, 일본 상장
 자료 : Refinitiv, 신영증권 리서치센터

삼성전자 매출액과 반도체 회사들의 매출액 상관관계 비교

반도체 산업 업황 상관계수 분석 (vs 삼성전자 매출액)

순위	index	name	country	상관계수
141	6191-TW	Global Brands Manufacture	Taiwan	0.337615223
142	8016-TW	Sitronix Technology	Taiwan	0.342219499
143	ARW-US	Arrow Electronics	United States	0.348308362
144	POWI-US	Power Integrations	United States	0.348492885
145	2367-TW	Unitech Printed Circuit Board	Taiwan	0.349773696
146	8046-TW	Nan Ya Printed Circuit Board	Taiwan	0.357843334
147	8070-TW	Chang Wah Electromaterials	Taiwan	0.369304244
148	3036-TW	Wt Microelectronics	Taiwan	0.382277891
149	2313-TW	Compeq Manufacturing	Taiwan	0.396980679
150	2481-TW	Pan Jit International	Taiwan	0.400758387
151	2454-TW	Mediatek	Taiwan	0.404574923
152	3033-TW	Weikeng Industrial	Taiwan	0.409108466
153	3711-TW	ASE Technology Holding	Taiwan	0.414186806
154	3035-TW	Faraday Technology	Taiwan	0.424244806
155	3037-TW	Unimicron Technology	Taiwan	0.428714463
156	3702-TW	Wpg Holdings	Taiwan	0.466515038
157	A005930	삼성전자	South Korea	1

Compliance Notice

이 조사자료는 고객의 투자에 참고가 될 수 있는 각종 정보제공을 목적으로 제작되었습니다. 이 조사자료는 당사의 리서치센터가 신뢰할 수 있는 자료 및 정보로부터 얻어진 것이나, 당사가 그 정확성이나 완전성을 보장할 수 없으므로 투자자 자신의 판단과 책임하에 종목 선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 이 조사자료는 어떠한 경우에도 고객의 증권투자 결과에 대한 법적 책임소재의 증빙자료로 사용될 수 없습니다. 이 조사자료의 지적재산권은 당사에 있으므로 당사의 허락없이 무단 복제 및 배포 할 수 없습니다.