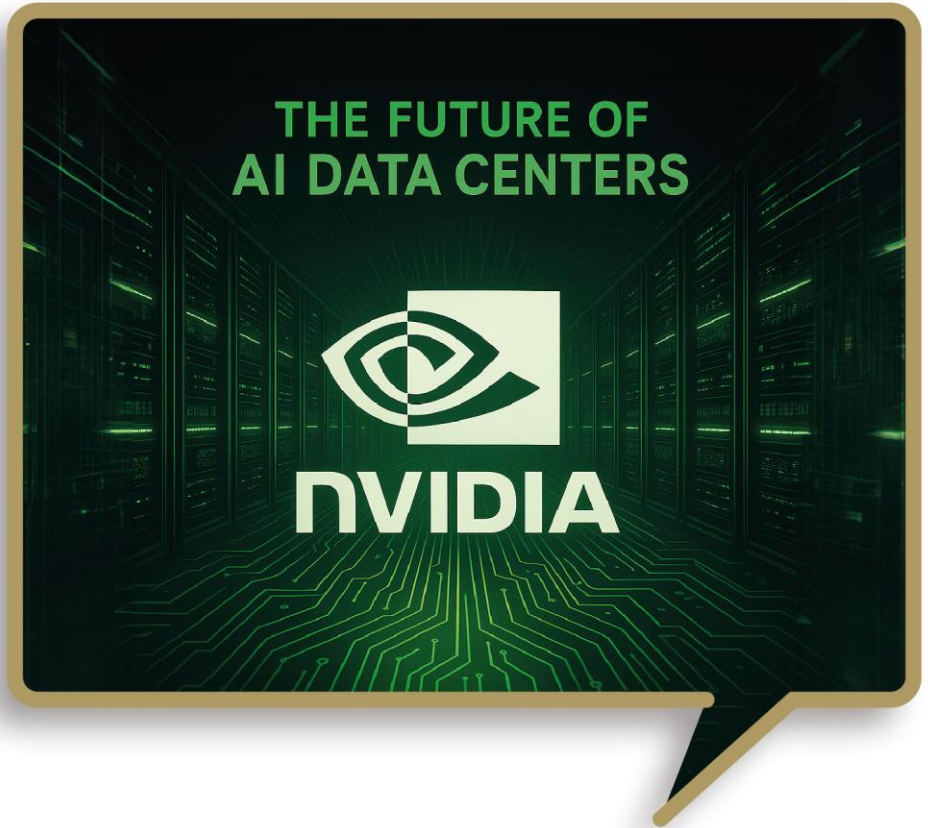


AI 데이터센터의 미래

반도보감

Season 4



AI 데이터센터의 미래를 보여주는 NVIDIA 차세대 AI 인프라 전략

반도체 테크전략 강석용
T.02)2004-9538
kang.suk-yong@shinyoung.com

AI 데이터센터의 인프라 구조는 지금 중대한 전환점을 맞이하고 있다. 대규모 언어 모델의 학습과 추론을 위해 수천 개의 GPU 를 연결하는 시대에는 단일 프로세서의 연산 성능보다 데이터 이동의 병목이 더 큰 문제가 된다. 이 문제에 대해 NVIDIA 는 두 가지 방향에서 공격적으로 대응하고 있다. 하나는 데이터센터 서버 랙 외부 네트워크의 발전을 이끌 ‘NVIDIA Photonics’, 다른 하나는 서버 랙 내부 네트워크 구조의 주도권을 확보하기 위한 ‘NVLink Fusion’ 전략이다. NVIDIA 의 전략은 단지 자사 칩의 경쟁력을 강화하는 수준이 아니라, AI 인프라 전반의 표준과 구조를 재편하는 데 그 목적이 있다. ‘NVIDIA Photonics’와 ‘NVLink Fusion’은 이러한 전략을 가능케 하는 양대 축이 될 것이며, 이 흐름에 올라타는 기업들이 장기적인 투자 기회를 제공할 수 있다.



Content

I. 데이터 트래픽 증가와 데이터센터의 병목	4
II. NVIDIA의 데이터센터 로드맵	9
III. 스케일 아웃, 이제는 광이다	11
IV. NVLink Fusion 이 설계하는 스케일 업의 미래	22
V. 결론	24
VI. 수혜 산업과 기업	26
VII. Appendix	34

Summary

NVIDIA 는 서버 랙 간 네트워크에서 기존 전기 기반 구리 인터커넥트가 지닌 거리, 전력 효율, 대역폭의 한계를 극복하기 위해 자사의 GPU 및 스위치에 광엔진을 Co-Packaged Optics(CPO) 기술로 통합하는 ‘NVIDIA Photonics’를 발표했다.

NVIDIA Photonics 에서 핵심적인 역할을 하는 것은 TSMC 의 CPO 기술인 COUPE 과 실리콘 포토닉스 생태계이며, 실리콘 포토닉스 분야의 주요 파운드리로는 GlobalFoundries(GFS)와 Intel 이 꼽힌다. GFS 는 Fotonix™ 플랫폼을 통해 Ayar Labs, PsiQuantum 등과 협력하며 실리콘 포토닉스 회로의 대량 양산 기반을 구축하고 있으며, Intel 은 자사 플랫폼에 실리콘 포토닉스 트랜시버를 이미 통합, 상용화해 시장을 선도 중이다. 국내 사례로는 SK 하이닉스가 2023 년 미국의 실리콘 포토닉스 스타트업 ‘아비세나(Avicena)’에 전략적 지분 투자를 단행한 점이 주목할 만하다. 아비세나는 GaN 기반 광통신 솔루션을 개발 중이며, 이는 향후 고대역 메모리-로직 인터커넥트 구조에서 활용될 가능성이 크다. 즉, 실리콘 포토닉스는 단순한 네트워크 기술 전환을 넘어, 메모리와 컴퓨팅 아키텍처의 판도를 바꾸는 핵심 열쇠로 작용할 수 있다.

한편, NVIDIA 는 서버 내부 네트워크에서의 주도권을 강화하기 위해 NVLink 를 확장하는 새로운 전략인 ‘NVLink Fusion’을 제시했다. 이에 대응해 Intel, AMD, Broadcom 등 주요 기업들은 UALink 연합을 구성해 개방형 인터커넥트 표준을 내세우고 있으나, 속도와 기술 성숙도 측면에서 여전히 NVLink 에 비해 열세라는 평가가 지배적이다.

결국, NVIDIA 는 서버 랙 간 네트워크에서는 CPO 와 실리콘 포토닉스를 활용한 광통신 기술로, 서버 내부 네트워크에서는 NVLink Fusion 을 통해 각각 인터커넥트의 병목을 해결하고 생태계 주도권을 강화하는 전략을 구사하고 있다. 비록 NVIDIA 중심 생태계에 대한 독점성 논란은 존재하지만, 그들이 확보한 기술적 우위와 생태계 락인 효과는 장기적인 고성장·고수익 구조를 가능하게 하는 결정적 요인이 될 가능성이 높다.

I. 데이터 트래픽 증가와 데이터센터의 병목

인공신경망 구현에서 단일
서버 성능 뿐 아니라
네트워크 구성이 중요한
이유

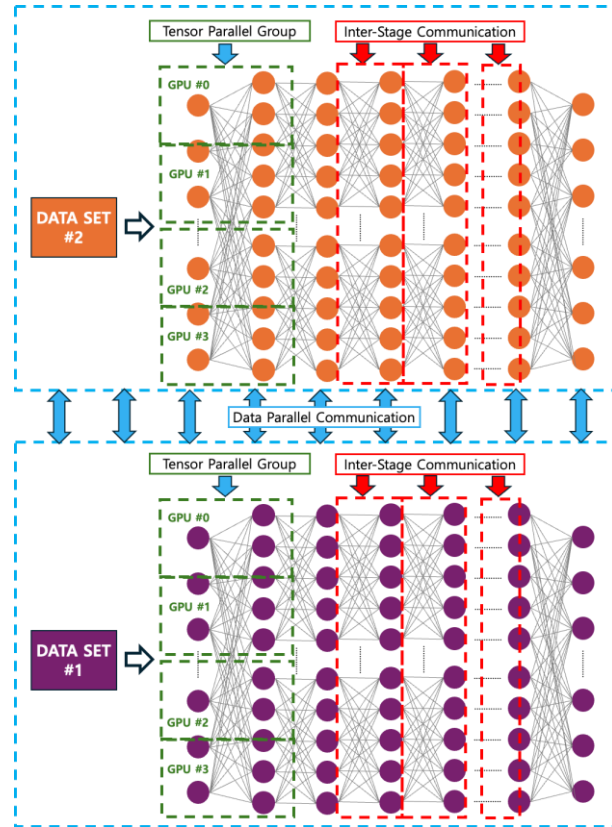
생성형 AI 의 발전과 함께, 인공신경망의 구조는 점점 더 복잡해지고 대규모화되고 있다. 예를 들어, GPT-3 는 약 1750 억 개의 파라미터, GPT-4 는 약 1.8 조 개의 파라미터를 가진 것으로 알려져 있다. 이러한 모델을 실제 데이터센터에서 구현하려면, 단순히 고성능 서버 한 대로는 감당할 수 없으며, 다수의 서버 간 연산과 통신을 병렬적으로 수행하는 분산 처리 구조가 필요하다. 실제로 GPT-3 는 1,025~1,536 개의 V100 GPU, GPT-4 는 2 만~3 만 개 이상의 A100 GPU 를 사용해 학습된 것으로 추정된다.

도표 1 은 인공신경망의 파라미터, 가중치들이 데이터센터 내 여러 서버에 어떻게 분산 배치되는지를 모식화한 그림이다. 실제 학습 과정에서는 데이터센터 서버에 분산된 파라미터들 간의 빈번한 데이터 교환이 발생하며, 이는 다음과 같은 다양한 병렬화 전략을 통해 이루어진다.

- (1) Data Parallel Communication: 동일한 신경망 구조에 서로 다른 데이터 배치를 학습시키기 위한 통신
- (2) Tensor Parallel Grouping: 신경망의 노드를 분할하여 서로 다른 서버에 배치하고 처리하는 방식
- (3) Inter-Stage Communication: 인공 신경망의 레이어간 데이터 이동

이러한 통신들은 서버 간 데이터 트래픽을 폭발적으로 증가시킨다. 따라서, 대규모 인공신경망을 구현할 때는 단일 서버의 성능 개선(Scale-Up)뿐 아니라, 서버 간의 고대역폭·저지연 네트워크 성능 확보(Scale-Out) 역시 필수적인 요소로 부각되고 있다.

도표 1. 인공 신경망의 구조와 데이터센터에서의 배치 모식도



자료 : 신영증권 리서치센터

이제 AI 데이터센터 성능의
핵심은 네트워크의 속도와
대역폭

기존의 데이터센터 성능 개선은 주로 개별 프로세서와 메모리의 연산 성능 및 용량 향상을 통해 이루어져 왔다. 그러나 최근의 인공지능 및 생성형 AI 모델은 서버 간의 데이터 트래픽이 병목이 되는 구조로 진화하면서 네트워크의 속도와 대역폭이 데이터센터 성능을 좌우하는 요소로 부상하고 있다.

앞서 설명한 바와 같이, 파라미터가 수천억~수조 개에 달하는 인공지능은 단일 서버 내 연산을 넘어 수백, 수천 대의 서버 간 통신을 요구하며 이로 인해 데이터 트래픽이 기하급수적으로 증가한다. 이에 따라, NVIDIA 를 비롯한 AI 가속기 기업들은 단순한 칩 설계를 넘어 네트워크 기술까지 포함한 시스템 수준의 최적화에 집중하고 있다.

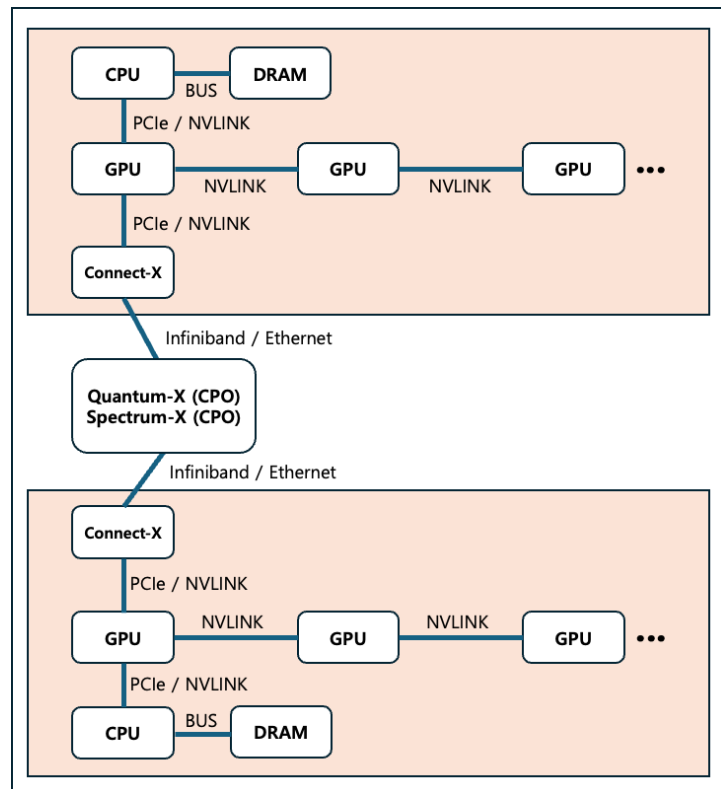
데이터센터 내 네트워크는 크게 두 방향에서의 발전이 요구된다.

(1) 스케일 업(Scale-Up): 단일 서버 내부를 위한 네트워크 (예: GPU 간 통신)

(2) 스케일 아웃(Scale-Out): 서버 간 대역폭 확장을 위한 네트워크

NVIDIA 의 경우, NVLink 는 GPU 간 고속 통신을 위한 스케일 업 네트워크로, InfiniBand 및 Ethernet 은 서버 간 통신을 담당하는 스케일 아웃 네트워크로 기능하고 있다.

도표 2. AI 데이터센터 네트워크 아키텍처 구성도 (NVIDIA 기준)



자료 : 신영증권 리서치센터

GTC 2025와
Computex 2025를
통해 보는 NVIDIA의
스케일 업과 스케일 아웃
전략

현재 AI 데이터센터의 병목은 단순한 연산 성능이 아니라 연산 자원 간 통신 효율성에 있다. 실제로 AI 연산 작업에서 프로세서 간 통신에 소요되는 시간이 전체 실행 시간의 대부분을 차지하고 있으며, 이로 인해 시스템의 전체 성능과 에너지 효율이 제한되고 있다. 이러한 배경 속에서 NVIDIA는 2025년 GTC와 Computex를 통해 스케일 업과 스케일 아웃을 동시에 강화하는 전략을 선보였다.

우선, 스케일 아웃 네트워크는 수 미터에서 수십 미터에 이르는 장거리 통신을 필요로 하기 때문에, 기존 구리 기반 전기 인터커넥트로선 속도와 전력 효율 모두에서 한계가 명확하다. 구리는 신호 손실이 크고, 고주파에서 전자기 간섭과 반사(loss, crosstalk, dispersion 등)가 심해지며, 전송 거리가 수 미터를 넘어가면 신호의 품질을 유지하기 어렵다. 이를 해결하기 위한 기술이 바로 실리콘 포토닉스(Silicon Photonics)와 Co-Packaged Optics(CPO)이다. 실리콘 포토닉스는 전기 신호 대신 광 신호를 사용해 장거리 고대역 통신이 가능하게 하며, CPO 는 광모듈을 스위치 또는 프로세서 패키지에 직접 통합함으로써 기존 트랜시버의 공간·전력 한계를 극복한다.

NVIDIA 는 2025 년 GTC 에서 자사의 차세대 스위치 제품인 Quantum-X 와 Spectrum-X 에 CPO 기술을 도입한다고 공식 발표했다. 이는 단순한 인터페이스 업그레이드 수준이 아니라, AI 데이터센터의 구조적 병목을 해결하기 위한 핵심 기술로 해석된다. 특히 CPO 가 도입되면 2~3 단의 레이어로 구성된 기존 스위치 트리 구조를 2 단으로 단순화(Network flattening)할 수 있어 전력 절감 + 레이턴시 개선 + 비용 절감이라는 세 마리 토끼를 동시에 잡을 수 있다.

반면, 스케일 업 네트워크 측면에서 NVIDIA 는 여전히 NVLink 기반의 구리 인터커넥트 전략을 고수하고 있다. 2025 년 Computex 에서 공개된 NVLink Fusion 은 기존 NVIDIA 내부에서만 사용되던 NVLink 를 외부 ASIC 에도 적용할 수 있도록 확장한 기술로, 외부 업체들도 이를 활용해 다수의 ASIC 과 GPU 를 하나의 통합 클러스터처럼 작동시킬 수 있게 되었다. 이는 NVIDIA 가 폐쇄형 생태계를 유지하면서도, 동시에 점점 대규모화되는 데이터센터의 수직 통합 요구를 충족시키려는 전략적 시도로 해석된다.

결과적으로, NVIDIA 는 NVLink Fusion 을 중심으로 한 스케일 업 전략, 실리콘 포토닉스와 CPO 를 적용한 스케일 아웃 전략을 동시에 병행하면서 AI 데이터센터의 통신 병목 문제에 전방위적으로 대응하려고 하고 있다. 이러한 기술적 접근은 AI 모델의 파라미터 수가 수조 개에 이르고, GPU 클러스터 규모가 수천 대 이상으로 확장되는 오늘날의 현실에서 연산 자원 간 연결성(connectivity)이야말로 성능의 핵심이라는 인식을 반영한 결과라고 볼 수 있다.

Intel의 틱톡(Tick-Tock) 전략을 대체할 AI 데이터센터의 새로운 진화 방향

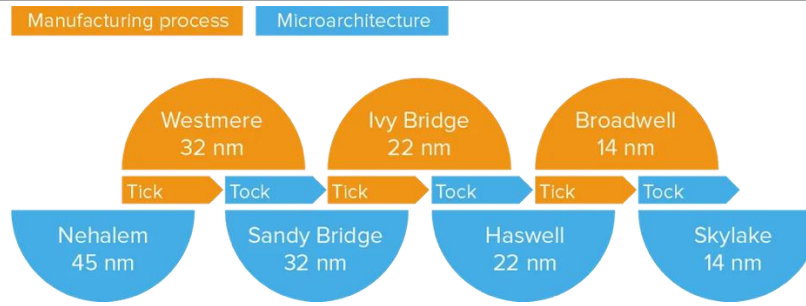
과거 CPU 성능의 발전은 무어의 법칙(Moore's Law)에 기반한 전략을 중심으로 이루어져 왔다. 그 대표적인 사례가 Intel의 틱톡(Tick-Tock) 전략이다. 이 전략은 한 해에는 공정을 미세화(Tick)하고, 그 다음 해에는 아키텍처를 업그레이드(Tock)하는 방식으로, 매년 성능이 향상된 CPU를 출시할 수 있도록 한 개발 모델이다. 2년마다 공정 노드를 축소하는 이 방식은 무어의 법칙을 실제 제품 수준에서 구현한 사례로 평가받으며, 한때 Intel이 CPU 시장에서 압도적인 기술 리더십을 유지하는 기반이 되었다.

그러나 2016년 3월 출시된 Skylake(14nm) 이후, Intel은 공정 미세화(Tick) 단계에서 지속적인 난항을 겪었다. 10nm 공정 전환이 수차례 지연되었고, 아키텍처 업그레이드(Tock) 단계 또한 구조적 혁신보다는 반복적인 최적화 수준에 머무르면서 업계 전반에 Intel의 기술력에 대한 신뢰 하락이 발생했다. 이 사건은 많은 전문가들에게 '무어의 법칙 중심 전략의 한계'를 인식시키는 전환점이 되었다.

이러한 전례를 통해 우리는 오늘날의 반도체 및 데이터센터 인프라가 더 이상 단일 칩 성능 향상만으로 발전을 지속할 수 없다는 사실을 확인하게 된다. 특히, 생성형 AI와 대규모 신경망 모델이 보편화되는 시대에는, 단일 칩이 아닌 수천 개의 연산 자원을 연결한 AI 데이터센터 전체의 구조적 확장, 즉 스케일 업과 스케일 아웃을 통한 성능 향상이 핵심 전략으로 부상하고 있다.

AI 데이터센터는 이러한 스케일 업과 스케일 아웃을 통해 무어의 법칙이 제시했던 트랜지스터 집적도 증가 이상의 성능 향상을 실현할 수 있을 것으로 전망된다. 즉, 앞으로의 반도체 기술 발전은 단순히 칩 안의 회로를 작고 효율적으로 만드는 것을 넘어서, 칩 간 연결 방식과 시스템 아키텍처 전반을 새롭게 구성하는 방향으로 진화하고 있으며, 이는 Intel을 상징했던 '틱톡' 모델과는 완전히 다른 패러다임이다.

도표 3. 14nm에서 한계가 보인 Intel의 Tick-Tock 전략



자료 : Intel, 신영증권 리서치센터

II. NVIDIA의 데이터센터 로드맵

스케일 업과 스케일 아웃의 동시 진화

스케일 업과 스케일
아웃으로 나누어 본
NVIDIA 데이터센터
로드맵

NVIDIA의 2022년부터 2027년까지의 데이터센터 로드맵은 크게 세 가지 축으로 나누어 살펴볼 수 있다.

- (1) 칩 레벨과 시스템 폼팩터
- (2) 스케일 업 네트워크
- (3) 스케일 아웃 네트워크

이 중 (1)과 (2)는 모두 단일 서버의 수직적 성능을 끌어올리는 점에서 스케일 업 영역에 해당하며, (3)은 수평적으로 서버를 확장하는 스케일 아웃 영역으로 분류된다. AI 데이터센터는 이 두 축이 균형 있게 발전할 때 비로소 전체적인 성능 향상이 가능하며, 한 축의 발전 속도가 느려질 경우 병목(bottleneck)이 발생하게 된다.

지금까지 데이터센터 인프라의 성장은 주로 Hopper → Blackwell → Rubin으로 이어지는 NVIDIA의 AI 가속기 로드맵과, 이에 탑재되는 HBM의 세대 전환 및 용량 증가 등 칩 레벨의 기술 발전에 크게 의존해 왔다. 또한 시스템 폼팩터 차원에서는 NVL72와 같은 초고밀도 GPU 시스템이 도입되며 서버 단위의 통합 성능이 급격히 상승하였다. 그러나 스케일 아웃 네트워크에서의 성능 개선은 더딘 편이었다.

스케일 아웃 네트워크는 통신 거리가 수 미터~수십 미터에 달하기 때문에, 기존의 구리 기반 전기 신호로는 대역폭 확보 및 전력 효율 개선에 한

계가 있었다. 이론적으로는 광통신이 최적의 해결책이지만, 전력 손실, 광 트랜시버의 열·면적·비용 문제 등으로 인해 그동안 적극적인 도입이 제한적이었다. 이로 인해 AI 데이터센터 전체의 확장성과 처리 효율에 가장 큰 병목을 유발하는 지점으로 남아 있었다.

이러한 병목을 해소하기 위해 NVIDIA는 2025년 GTC에서 Quantum-X, Spectrum-X와 같은 차세대 스위치 제품군에 CPO(Co-Packaged Optics) 기술을 공식적으로 도입한다고 발표하였다. CPO는 기존 전기 트랜시버를 대체하고 패키지 수준에서 광엔진을 직접 통합함으로써 전력 손실을 줄이고, 통신 속도와 밀도를 획기적으로 높이는 기술이다. 이를 통해 스케일 아웃 네트워크에서도 고속·저지연 통신이 가능해지며, 데이터센터의 확장성을 극대화할 수 있게 된다.

현재까지는 CPO가 스케일 아웃 네트워크에 우선 적용될 예정이지만, 향후 스케일 업 네트워크(NVLink 기반 구조)에도 도입될 것으로 예상된다. NVLink 인터페이스가 다이 간 대역폭을 더 높이고 패키지 내 통합을 강화하려면, 구리 기반 전송만으로는 물리적 한계에 도달할 수밖에 없기 때문이다.

결국 AI 데이터센터는 칩 자체의 연산 성능 향상뿐 아니라, 스케일 업 및 스케일 아웃 네트워크 모두에 실리콘 포토닉스 기반 CPO 기술이 적용되는 구조로 진화해 나갈 가능성이 높다. 이러한 흐름은 단순한 단일 반도체 칩의 성능 경쟁을 넘어, 시스템 아키텍처 전체의 병목을 제거하고 최적화하는 방향으로 산업이 이동하고 있음을 의미한다.

도표 4. 칩/시스템 레벨, 스케일 업 네트워크, 스케일 아웃 네트워크 각각의 NVIDIA 서버 로드맵

	2022	2023	2024		2025	2026	2027
	Hoper		Blackwell			Rubin	
	Chip and Package level						
CPU	Grace			Vera			
Accelerator	H100	H200	B200	GB200	GB300 (Ultra)	VR200	VR300 (Ultra)
GPU TDP (W)	700	700	700	1,200	1,400	1,800	3,600
Foundry node	4N		4NP			N3P	
Die configuration	1x Reticle Sized GPU		2x Reticle Sized GPU			2x Reticle Sized GPU, 2x I/O chiplet	4x Reticle Sized GPU, 2x I/O chiplet
FP4 PFLOPs - Dense (per Package)			10	10	15	50	100
HBM	80GB HBM3	141GB HBM3E	192GB HBM3E	192GB HBM3E	288GB HBM3E	288GB HBM4	1024 HBM4E
HBM Stacks	5	6	8	8	8	8	16
HBM Bandwidth	3.35TB/s	4.8TB/s	8TB/s	8TB/s	8TB/s	13TB/s	32TB/s
Packaging	CoWoS-5		CoWoS-L			CoWoS-L	
SERDES speed (Gb/s, uni-di)	112G		224G		224G		
	System form factor						
Maximum system density	NVL8		NVL72 144 compute chiplets, 72 GPUs			NVL144 144 compute chiplets, 72 GPUs	NVL576 576 compute chiplets, 144 GPUs
Form factor supported	HGX		HGX, Oberone			HGX, Oberone, Kyber	
# of GPU Packages	8		72			72	144
# of GPU dies	8		144			144	576
Scale up links	PCB (UBB)		Copper backplane			Copper backplane	PCB backplane
Aggregate FP4 PFLOPs (Dense)			720	720	1,080	3,600	14,400
Aggregate HBM capacity	0.6TB	1.1TB	14TB	14TB	21TB	21TB	147TB
Aggregate HBM bandwidth	27TB/s	38TB/s	576TB/s	576TB/s	576TB/s	936TB/s	4,608TB/s
	Scale-up Networking						
NVLink version	NVLink 4.0		NVLink 5.0			NVLink 6.0	NVLink 7.0
NVLink speed (Gb/s, uni-di)	450		900			1,800	1,800
# of NVLink Links	18		18			18	18
Lanes per NVLink Link	2		2			4	4
NVLink lane speed (Gb/s, uni-di)	100G		200G			200G	200G
NVswitch Generation	NVswitch 3.0		NVswitch 5.0			NVSwitch 6.0	NVSwitch 7.0
NVswitch Aggregate BW (Gb/s, uni-di)	1,600		3,600			7,200	14,400
NVswitch Ports	64		72			72	144
NVswitch lanes per Port	2		2			4	4
NVSwitch Speed per lane (Gb/s, uni-di)	100G		200G			200G	200G
	Scale-out Networking						
NIC	CX-7 400G		CX-7 400G		CX-8 800G	CX-9 1.6T	
Scale-out Switch (Infiniband)	Quantum X400 - 64x400G		Quantum X800 - 144x800G		x1600 Infiniband Switch		
Scale-out Switch (Ethernet)	Spectrum-X 128x400GbE		Spectrum-X 64x800GbE		x1600 Ethernet Switch		
Transceiver	400G SR4, 800G SR8		800G DR4, 1.6T DR8		1.6T DR4, 3.2T DR8 (estimation)		
Laser	VCSEL		EML, SiPho		SiPho (estimation)		

자료: Semianalysis, NVIDIA, 신영증권 리서치센터

III. 스케일 아웃, 이제는 광이다

CPO와 실리콘 포토닉스가 열어갈 미래

Optical 신호처리의
중요성 증가: 고속·장거리
통신을 위한 핵심 전환점

데이터센터 내부의 근거리 고속 통신은 오랜 기간 동안 DAC(Direct Attached Cable) 등 구리 기반의 전기 인터커넥트를 통해 이루어져 왔다. 하지만 앞서 설명했듯이 구리 배선은 물리적인 한계가 명확하다. 이런 이유로 고속 전송이 요구되는 환경에서 구리 배선은 대역폭, 전력 효율, 신뢰성 측면에서 명확한 병목 요소가 된다. 특히 100G, 400G, 800G 이상을 처리하는 환경에서 구리 기반 인터커넥트가 물리적 한계에 도달하고 있다.

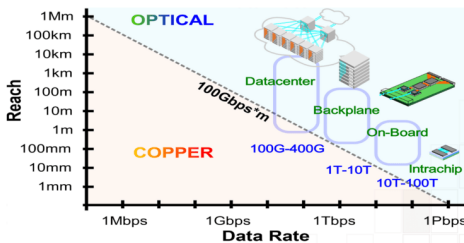
이러한 한계를 극복하기 위한 대안으로 광 기반 통신(optical interconnects)의 중요성이 빠르게 부상하고 있다. 광섬유(optical fiber cable)를 이용한 광 기반 통신은 구리 대비 손실이 극히 적어, 수십 미터 이상의 거리에서도 신호 세기 감쇠 없이 안정적인 고속 데이터 전송이 가능하다. 실제로, 하이퍼스케일 데이터센터에서는 서버 간 거리 증가,

트래픽 밀도 증가 등의 요인으로 인해 광 기반 통신의 사용 비중이 점점 높아지고 있으며, 이는 단순한 구조 변화가 아닌 AI 데이터센터 아키텍처의 세대 전환을 의미한다.

그러나 광통신 기술 도입에는 새로운 과제가 따른다. 가장 대표적인 문제는 전기-광(E/O), 광-전기(O/E) 변환 과정에서 발생하는 전력 소모이다. 광 신호는 직접 스위치나 프로세서에서 처리할 수 없기 때문에, 이를 전기 신호로 변환하여 스위치 ASIC 또는 XPU로 전달해야 하며, 이 과정에서 전력 소모와 추가적인 신호 손실이 발생한다. 또한, 변환 과정에서의 효율 저하와 광소자 및 광모듈의 패키징 복잡성, 열 문제, 데이터 오류 가능성 역시 고려해야 할 리스크로 남아 있다.

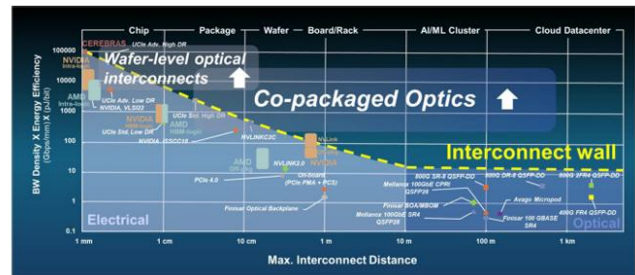
결과적으로, 데이터센터는 향후 고속, 장거리, 저전력 통신 요건을 충족하기 위해 광 인터커넥트를 채택할 수밖에 없는 구조로 진화하고 있으며, 이와 함께 전기-광 변환의 전력 효율 개선, 광모듈의 집적도 향상을 위한 통합형 아키텍처인 CPO의 도입이 병행되어야 한다.

도표 5. 장거리, 고속 통신에서 copper interconnects 보다 유리한 optical interconnects



자료 : Douglas C. H. Yu et al, "Foundry Perspectives on 2.5D/3D Integration and Roadmap", 신영증권 리서치센터

도표 6. Optical interconnects 사용 시 통신 speed 증가에 따라 증가하는 전력 소모



자료 : Taewon Jin et al, "Next-Generation Semiconductor Packaging: Status of Co-Packaged Optics based on Silicon Photonics", 신영증권 리서치센터

CPO(Co-Packaged Optics)를 통해 개선할 수 있는 전기 신호 손실

도표 7과 같이 기존의 데이터센터 내 광통신 구조에서는 광 신호가 서버 외부의 optical transceiver module을 통해 들어온다. 먼저 광 신호를 전기 신호로 변환한 후, 해당 전기 신호가 DSP(Digital Signal Processor), Driver, TIA(Transimpedance Amplifier) 등 신호 처리용 칩까지 전달되며 첫 번째 신호 손실이 발생한다. 이후, 이 전기 신호는 다시 optical module에서 ASIC(XPU)이 위치한 서브스트레이트로 전송되는 과정에서 두 번째 손실이 발생하며, 여기에는 커넥터, 패키지 핀, PCB 내 길고 복잡한 배선(routing), 수직 연결 배선(VIA) 등이 관여한다.

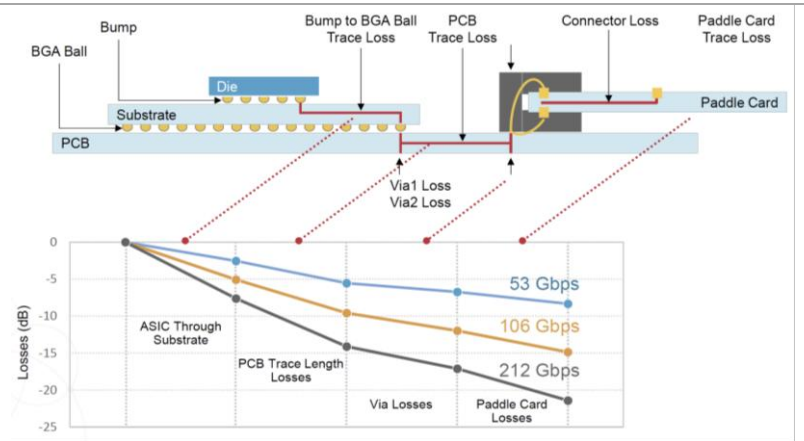
마지막으로 신호는 서브스트레이트를 거쳐 최종적으로 ASIC(XPU)에 도달하게 되며, 이 과정에서도 전기적 신호 감쇠와 잡음으로 인한 추가 손실이 발생한다.

이처럼 기존 광-전기 통신 구조는 다양한 경로를 거치며 여러 단계에서의 손실이 누적되며, 신호 품질을 유지하기 위해 반복적인 증폭, 리타이밍, 노이즈 제거 등의 신호 보정 회로가 필수적이다. 이 과정에서 사용되는 DSP, Driver, TIA 등의 구성요소는 입·출력 비트당 전력 소모(energy per bit)를 증가시켜, 데이터센터 연산 노드 전체의 전력 소비 증가와 운영비용(OPEX) 상승을 야기한다. 도표 8과 같이, 이러한 복잡하고 비효율적인 신호 경로는 성능 한계와 에너지 비효율을 동시에 초래하고 있다.

이를 해결하기 위한 대안이 바로 CPO다. CPO는 광엔진(optical engine)을 ASIC 스위치 칩과 같은 고속 연산 칩 패키지 내부 또는 바로 인접한 위치에 통합함으로써, 신호가 광-전기 변환을 거친 후 즉시, 초근거리 경로를 통해 연산 칩에 도달할 수 있도록 만든다. CPO 구조에서는 광 신호가 전기 신호로 변환되는 지점과 전기 신호가 실제 연산 칩(XPU, ASIC)으로 전달되는 경로가 매우 짧다. 특히, 이 경로를 1~2mm 이내 초근거리로 연결하는 것이 가능하므로, 전력 소모와 신호 감쇠가 기존 구조 대비 획기적으로 줄어든다.

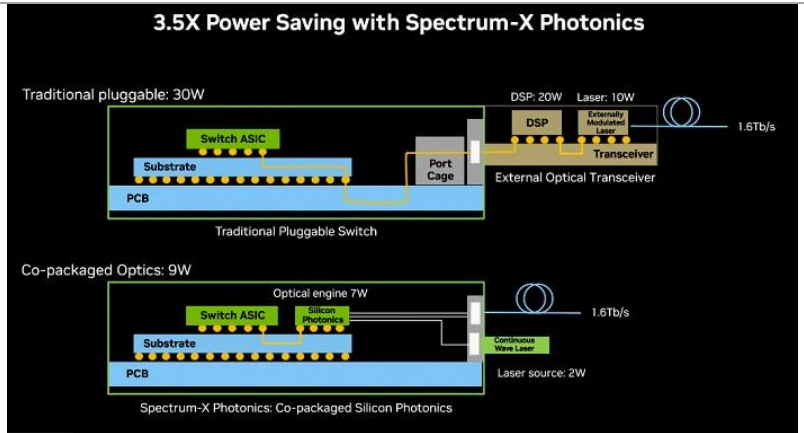
결과적으로 CPO는 기존 전통적 광모듈 기반 구조의 복잡한 신호 경로와 누적 손실 문제를 해결하고, 단위 비트당 전력 효율을 비약적으로 개선할 수 있는 기술로, AI 데이터센터 및 고속 네트워크 인프라의 핵심 기술로 자리잡고 있다.

도표 7. 기존 LPO (Linear-drive Pluggable Optics) 기반 광통신에서 발생하는 channel loss 구간들



자료 : Broadcom, 신영증권 리서치센터

도표 8. Co-Packaged Optics의 구조도와 전력 효율성 비교



자료 : NVIDIA, 신영증권 리서치센터

데이터센터 병목 현상
해결의 열쇠, CPO

CPO는 전통적인 트랜시버 방식과 달리, 광 신호 처리 모듈을 스위치나 GPU와 같은 고속 연산 칩에 패키지 수준에서 직접 통합하는 방식이다. 이를 구현하기 위해서는 광 신호를 처리하는 Photonic Integrated Circuit (PIC/실리콘 포토닉스 집적회로)와, 이를 통해 변환된 전기 신호를 수신하고 처리하는 Electronic Integrated Circuit (EIC) 간의 정밀한 본딩 기술이 핵심이다.

실리콘 포토닉스는 CMOS 공정을 기반으로 광소자를 반도체 웨이퍼에 집적하는 기술이다. 주요 구성 요소는 다음과 같다.

(1) 광도파로 (Waveguide): 칩 내에서 빛을 전달하고 경로를 제어

- (2) 광변조기 (Modulator): 빛의 위상이나 진폭등을 변조하여 디지털 정보를 전송 (전기 신호를 광 신호로 변환)
- (3) 광검출기 (Photodetector): 수신된 광 신호를 전기 신호로 변환
- (4) 레이저 다이오드 (Laser Diode): 안정적인 광원을 생성하여 송수신 회로에 공급

이러한 소자들은 단순한 수동 광학 부품이 아니라, 회로 수준에서 정밀하게 설계되고 반도체 공정을 통해 제조되는 집적 소자들로, 고속 신호처리를 위해서는 전자-광 통합 설계(Electro-Photonic Co-Design)가 필수적이다. 실리콘 포토닉스 기술을 구현하기 위해서는 SOI(Silicon-On-Insulator) 기반 반도체와 InP, GaAs 등 III-V족 화합물 반도체가 함께 활용된다. 구체적으로, 광도파로(Waveguide)와 광변조기(Modulator)는 주로 SOI 기반 공정에서 구현되며, 광원(Laser) 및 광검출기(Photodetector)는 InP 기반 칩을 SOI 웨이퍼 위에 이중 집적(Heterogeneous Integration)하는 방식으로 제작된다. 이러한 집적 기술은 전기적 접속 뿐 아니라 열, 신호, 정렬 정밀도까지 동시에 고려해야 하므로 고난도의 공정 기술이 요구된다.

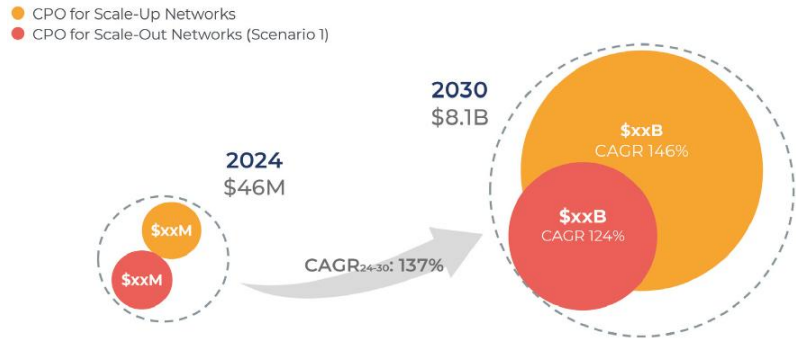
이와 같은 기술적 구성은 CPO의 확산이 단순히 스위치나 서버 장비의 변화에만 국한되지 않으며, 그 기반이 되는 SOI 공정, III-V족 반도체 소재, 포토닉스 전용 파운드리 생태계 전반의 수요 증가로 직결될 수 있음을 시사한다. 이는 기존에 미세 공정 기술을 선도해 온 TSMC 뿐 아니라, 실리콘 포토닉스 제조 인프라를 잘 갖추어 온 GlobalFoundries, Intel 등도 CPO 및 실리콘 포토닉스 시대의 핵심 수혜 파운드리로 부상할 가능성을 보여준다. 특히, GlobalFoundries는 다양한 기업들과의 협업을 통해 실리콘 포토닉스용 Fotonix™ 플랫폼의 레퍼런스를 확대해 나가고 있으며, Intel은 이미 검증된 실리콘 포토닉스 모듈과 패키징 통합 역량을 기반으로 시장에서 차별화된 경쟁력을 구축하고 있다.

결론적으로, CPO 적용은 데이터센터 내 병목을 해결하는 하드웨어 혁신일 뿐 아니라, 실리콘 포토닉스 기술을 중심으로 반도체 소재, 설계, 공정 전반의 구조적 성장을 견인할 핵심 동인이라 할 수 있다.

도표 9. 2024~2030 CPO 시장 성장 전망

2024-2030 datacom CPO revenue growth forecast by application

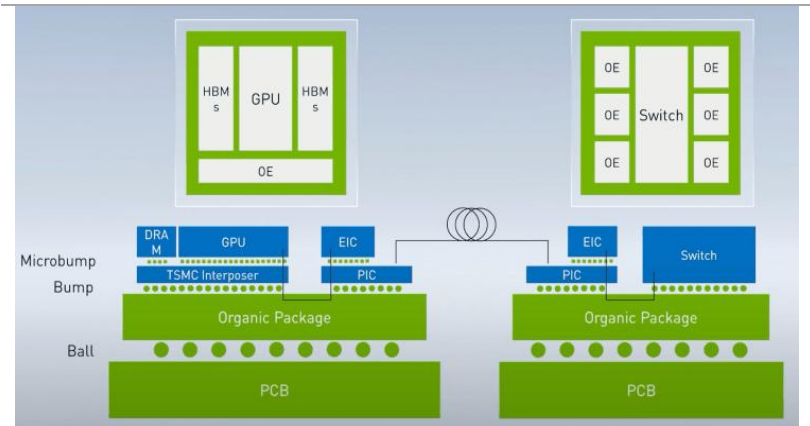
(Source: Co-Packaged Optics for Data Centers 2025, Yole Group, June 2025)



The figures provided are intentionally rounded or masked. Detailed figures are available in the full report.

자료 : YOLE, 신영증권 리서치센터

도표 10. CPO 기반 광 인터커넥트 패키지 아키텍처 구조



자료 : NVIDIA, 신영증권 리서치센터

실리콘 포토닉스(Silicon Photonics)의 중요성 증가

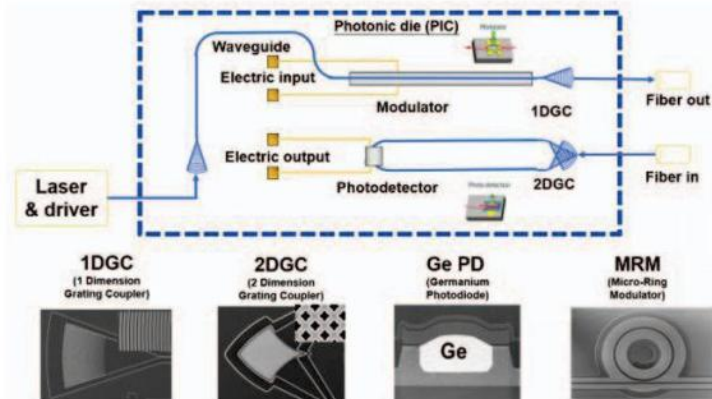
실리콘 포토닉스는 전통적인 전기 신호 기반 통신이 가지는 전송 거리 및 대역폭 한계를 극복할 수 있는 대안으로, 고속·저전력 데이터 전송이 가능한 광 신호 처리 시스템을 CMOS 공정으로 구현할 수 있다는 점에서 산업적으로 높은 확장성과 경제성을 동시에 지닌다.

도표 12는 실리콘 포토닉스 칩의 제조 공정 예시로, SOI(Silicon-On-Insulator) 웨이퍼 위에 III-V족 화합물 반도체인 InP를 이중 집적(Heterogeneous Integration)하는 구조이다. InP는 전기 신호를 광 신호로 변환하는 역할을 수행하며, 변환된 광 신호는 굴절률이 높은 곳으로 향하는 빛의 성질을 이용해 원하는 경로로 유도할 수 있다. 빛은 양옆에 존재하는 공기층보다 굴절률이 높은 실리콘 광도파로(Silicon

waveguide)를 통해 특정 경로로 전달된다. 이 구조는 마치 칩 내부에 빛이 이동하는 전용 배선을 넣은 것과 같으며, 이를 가능하게 하는 핵심이 바로 SOI 웨이퍼 기반 구조다. SOI는 실리콘 기판과 절연층(oxide), 그 위에 얇은 실리콘 활성층을 쌓은 형태로, 광도파로 구현에 최적화된 구조를 제공한다.

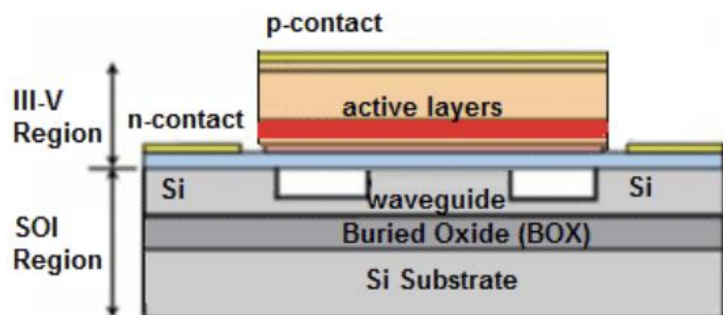
이러한 구조를 기반으로 한 대표적인 광소자가 MRM(Micro Ring Modulator)이다. MRM은 NVIDIA의 Photonics 플랫폼에 사용되는 주요 광변조기 중 하나로, 전기 신호에 따라 고리 모양의 공진기 구조에서 빛의 위상 또는 진폭을 정밀하게 조절해 아날로그 광 신호를 디지털 정보로 변조하는 역할을 수행한다. MRM 역시 SOI 웨이퍼 위에 마이크로 패터닝으로 구현되며, 고속·고밀도 통신 모듈에 최적화된 소자로 꼽힌다.

도표 11. 실리콘 포토닉스 집적회로(PIC)의 구성과 동작 원리



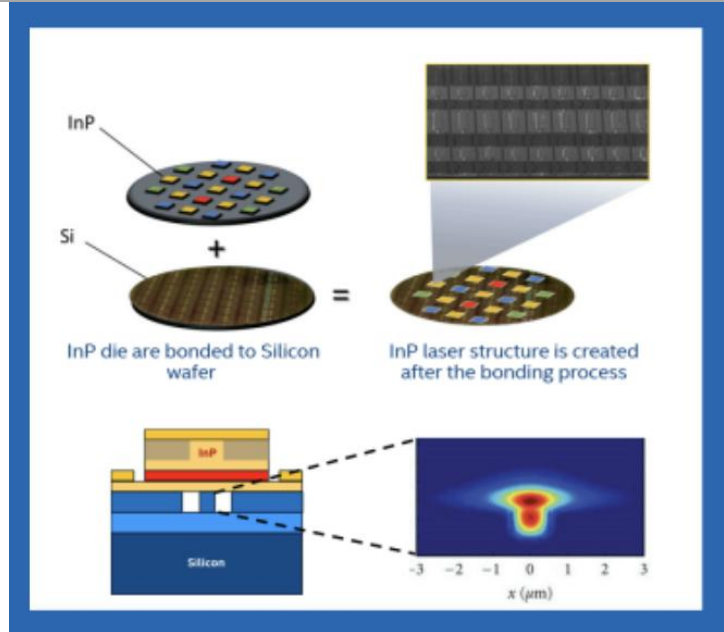
자료 : TSMC, 신영증권 리서치센터

도표 12. III-V 족 반도체/SOI 반도체 이종 집적 구조의 단면도



자료 : SYNOPSIS, 신영증권 리서치센터

도표 13. InP 다이 본딩 기반 실리콘 포토닉스 레이저 구현 예시



자료 : Intel, 신영증권 리서치센터

화합물 반도체 생태계에
주목해야 하는 이유

실리콘은 기존 CMOS 공정에 적합하고 경제성이 뛰어난 소재로 반도체 산업을 지배해왔지만, 광소자 구현에 있어서는 근본적인 한계를 갖는다. 실리콘은 직접 밴드갭(direct bandgap)을 가지지 않기 때문에 효율적인 광원 역할을 할 수 없고, 파장 선택의 제약과 온도 민감도와 같은 문제로 인해 도파관으로의 활용에도 제약이 크다.

이러한 한계를 극복하기 위해 실리콘 포토닉스 분야에서는 광원 구현에 III-V 족 화합물 반도체(InP, GaAs 등)를, 도파관 구현에 SOI(Silicon-On-Insulator) 웨이퍼를 사용한다. 특히, 광소자와 전자 회로를 하나의 칩에 통합하기 위해서는 기존 CMOS 공정을 활용해 화합물 반도체 웨이퍼 위에 집적 소자를 제조할 수 있는 기술과 hybrid bonding을 비롯한 이중 집적 기술이 필수적이다.

이러한 기술 흐름 속에서 글로벌 주요 반도체 및 시스템 기업들이 화합물 반도체 기반 실리콘 포토닉스 생태계에 적극적으로 참여하고 있다. 예를 들어, SK하이닉스는 2023년 GaN 기반 마이크로 LED를 활용한 광 인터커넥트 기술을 개발 중인 미국 스타트업 '아비세나(Avicena)'에 전략적 투자를 단행했다. 이는 단순한 부품에 대한 투자가 아니라, 광 통신 기반 차세대 메모리 인터페이스 생태계에 대한 포지셔닝으로

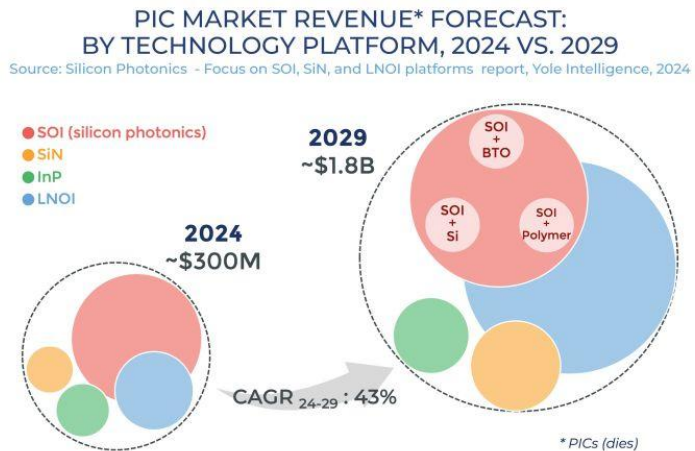
해석된다.

이와 유사하게, 마벨(Marvell)은 2021년 고속 광통신 및 실리콘 포토닉스 IP를 확보하기 위해 Inphi를 약 100억 달러에 인수했고, NVIDIA 역시 2020년 실리콘 포토닉스 스타트업 OptiGOT을 인수하며 해당 분야 역량을 강화했다. Cisco는 2019년 실리콘 포토닉스 전문 기업 Luxtera를 6억6천만 달러에 인수하면서, 실리콘 포토닉스를 광 스위치 및 네트워크 인터커넥트 제품에 본격적으로 통합하고 있다.

이러한 흐름은 단순한 하드웨어 기술의 발전을 넘어, AI 데이터센터 네트워크 인프라가 전기 기반에서 ‘광 기반’으로 본격적으로 전환되고 있음을 보여주는 구조적 변화다. 특히 Ayar Labs, Lightmatter, Celestial AI 등의 스타트업은 실리콘 포토닉스를 기반으로 한 광-전기 하이브리드 아키텍처, 광 컴퓨팅, Co-Packaged Optics(CPO) 분야에서 기술적 주목을 받으며 빠르게 성장 중이다.

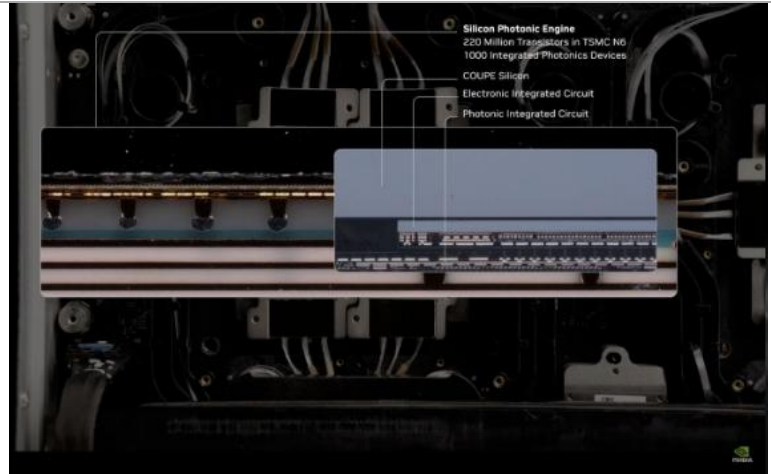
결론적으로, 화합물 반도체는 단순한 소재의 확장을 넘어, 실리콘 포토닉스 기반 차세대 네트워크 인터커넥트와 컴퓨팅 구조의 핵심 기술 기반으로 자리잡고 있으며, SOI 공정과 III-V족 화합물 반도체를 함께 다룰 수 있는 파운드리 생태계가 그 어느 때보다 중요해지고 있다.

도표 14. PIC 플랫폼별 시장 점유율 및 성장 예측 (2024~2029 년)



자료 : YOLE, 신영증권 리서치센터

도표 15. NVIDIA 광엔진의 EIC-PIC 이중 집적 구조



자료 : NVIDIA, 신영증권 리서치센터

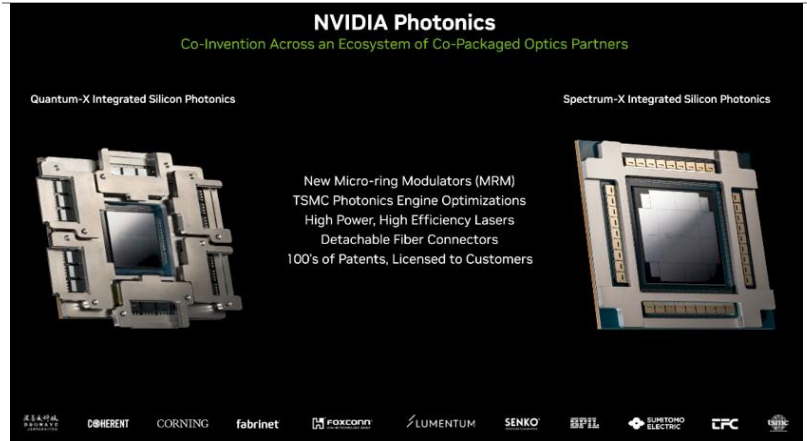
NVIDIA의 'NVIDIA Photonics' 발표와 그 전략적 의미

최근 NVIDIA 가 공개한 CPO 기반 스위치 도입은 단순한 제품 발표를 넘어, 미래 AI 데이터센터 네트워크 아키텍처의 방향을 명확히 제시한 사건으로 해석된다. NVIDIA 는 AI 반도체의 성능뿐 아니라, 그 시스템 아키텍처와 인터커넥트 기술의 미래를 가장 먼저 예측하고 대응하는 기업이다. 이번 CPO 기반 스위치 발표는 단순한 기술 채택이 아니라, 컴퓨팅 시스템 전체의 성능 향상이 결국 인터페이스 전송 속도와 전력 소모에 의해 제한될 것이라는 예측에 근거한 전략적 판단이다. 그리고 이 병목을 타개할 기술로 실리콘 포토닉스를 활용한 CPO 를 선택했다는 점에서 의미가 깊다.

NVIDIA 는 실리콘 포토닉스 칩 제조에 있어, Ayar Labs 와 유사하게 InP 기반의 III-V족 화합물 반도체와 SOI 웨이퍼를 조합해 광소자(PIC)를 구성할 것으로 예상된다. 이와 함께, 7nm 공정을 사용한 EIC 와 65nm 공정을 사용한 PIC 를 고밀도로 집적하기 위해 TSMC 의 SoIC-X 기반 이중 칩 접합 공정인 'COUPE'을 도입하겠다고 발표한 바 있다. 이는 광 신호 처리용 칩(PIC)과 고속 전기 신호 처리용 칩(EIC)을 하나의 패키지 내에 수직 적층하여, 신호 전달 거리를 최소화하고 전력 효율을 극대화하기 위함이다. 또한, 이러한 시장 흐름에 대응하기 위해 TSMC 역시 실리콘 포토닉스 분야에만 200 명 이상의 인력을 전략적으로 투입하고 있는 것으로 알려져 있으며, 이는 해당 분야에 대한 선도 파운드리 전략적 무게감을 보여준다.

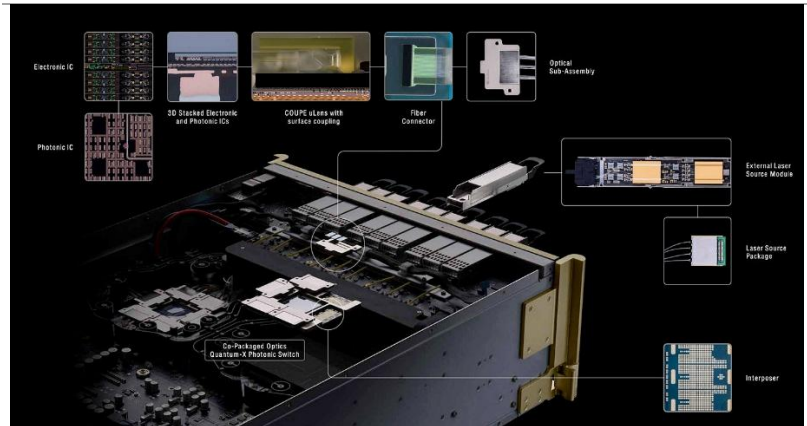
결과적으로, NVIDIA 의 Photonics 전략은 단순한 광통신 기술 채택을 넘어, 데이터센터의 ‘속도-전력 병목’을 해결하고, 미래 AI 컴퓨팅의 확장성을 확보하려는 근본적 구조 전환의 신호탄이라 할 수 있다. 이는 단지 NVIDIA 만의 방향이 아니라, 업계 전반이 실리콘 포토닉스 기반 네트워크로 이행할 수밖에 없는 구조적 흐름을 반영하고 있다.

도표 16. NVIDIA Photonics: CPO 생태계 파트너와 통합 실리콘 포토닉스 플랫폼



자료 : NVIDIA, 신영증권 리서치센터

도표 17. NVIDIA CPO 기반 광 인터커넥트 플랫폼 구성도



자료 : NVIDIA, 신영증권 리서치센터

IV. NVLink Fusion이 설계하는 스케일 업의 미래

ASIC 업체들에게
‘트로이의 목마’가 될
NVLink Fusion

NVIDIA 는 2025 년 5 월 Computex 에서 ‘NVLink Fusion’ 기술을 공개하며, 그동안 자사 플랫폼에만 제한적으로 적용되던 NVLink 인터커넥트 기술을 외부에 일부 개방했다. 이는 단순한 연결 인터페이스 공개가 아니라, 경쟁사들을 자사 생태계로 유입시키는 전략적 포석이라는 점에서 ‘트로이의 목마’에 비유할 수 있다.

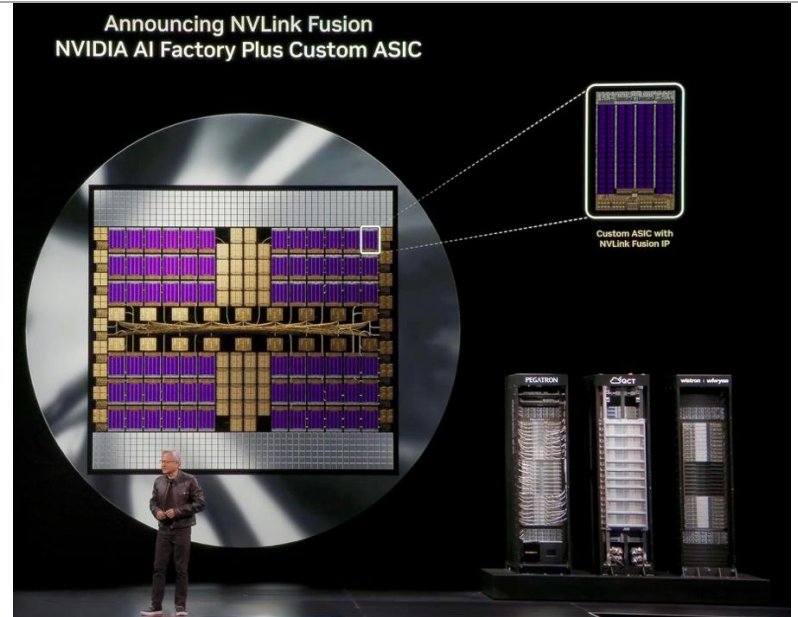
NVLink Fusion 은 NVIDIA 가 외부 기업에도 NVLink 기술을 일부 개방한 것으로, 이를 통해 다른 기업들도 자사 칩 설계에 NVLink 를 적용해 메모리 일관성(Memory Coherency)을 유지하면서 최대 1.8TB/s 의 고대역폭을 갖춘 고성능 인터커넥트를 구현할 수 있게 되었다.

이러한 일부 개방 전략은 AMD, Intel, Google, Microsoft 등 빅테크들이 주도하는 UALink 연합에 대응하는 전략으로 이해할 수 있으며, 스케일 업 네트워크 생태계에서 NVIDIA 의 독점적 위치를 공고히 하려는 시도로 볼 수 있다. 즉, 겉으로는 개방하는 것으로 보이지만, 실제로는 NVIDIA 중심 아키텍처로의 종속적 참여를 유도하는 생태계 확장 전략인 셈이다.

AI 모델의 복잡성이 증가하고 칩 간 데이터 전송량이 폭발적으로 늘어나면서, 이미 검증된 고성능 인터커넥트 솔루션을 빠르게 채택하려는 수요는 지속적으로 증가할 것으로 예상된다. 이에 따라 NVLink Fusion 은 단기적으로 외부 업체들의 도입 확산과 함께, 이들 기업의 ASIC 성능 향상에 기여할 수 있을 것이다. 그러나 장기적으로는, NVLink Fusion 이 NVIDIA 의 인터커넥트 아키텍처에 대한 종속성을 높이고, NVIDIA 중심의 생태계 구조를 더욱 공고히 만드는 효과를 가져올 수 있다.

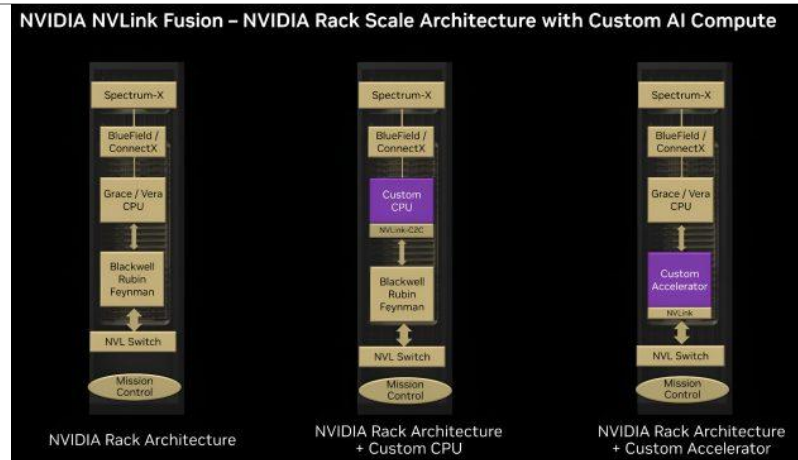
이처럼 NVLink Fusion 은 단순한 기술적 진보를 넘어, AI 반도체 시장의 주도권을 더욱 NVIDIA 중심으로 끌어들이기 위한 전략으로 볼 수 있다.

도표 18. NVLink Fusion 공개 (GTC 2025)



자료 : NVIDIA, 신영증권 리서치센터

도표 19. NVLink Fusion: 랙 단위 AI 아키텍처 확장 시나리오



자료 : NVIDIA, 신영증권 리서치센터

‘조건부 개방’을 통한 해자
구축: NVIDIA의
NVLink Fusion 전략

NVIDIA 는 최근 NVLink Fusion 을 중심으로 MediaTek, Marvell, Alchip Technologies, Astera Labs, Synopsys, Cadence 등과 전략적 기술 파트너십을 체결하고, 세미 커스텀 AI 인프라 구축을 위한 협업 체계를 구축하고 있다. 이는 단순한 기술 개방이 아니라, 자사 GPU 또는 CPU 가 반드시 포함되는 형태의 ‘조건부 개방(Conditional openness)’ 전략으로, 외부 생태계와의 연결을 확대하면서도 플랫폼 주도권은 자사가 유지하겠다는 명확한 의도가 담겨 있다.

이는 특히 완전 개방형 표준을 지향하는 UALink 와 뚜렷한 대비를 이룬다. UALink 는 AMD, Intel, Broadcom, Microsoft 등 70 개 이상의 기업이 참여하며 폭넓은 호환성을 지향하지만, 현재까지 상용화된 제품이 없고, 실제 제품이 등장하더라도 속도, 안정성, 기술 성숙도 측면에서 NVLink 와 상당한 격차가 존재할 가능성이 크다.

NVIDIA 는 이러한 기술적 우위와 검증된 생태계를 기반으로, NVLink 를 중심으로 한 스케일 업 네트워크 구조의 해자를 더욱 깊게 구축할 것으로 예상된다. Grace + Blackwell → Rubin → NVLink Fusion 으로 이어지는 아키텍처 로드맵은 개별 서버 수준을 넘어서 랙 단위 SoC 형태로 진화하고 있으며, NVIDIA 는 인터커넥트 레이어에서조차 자사의 지배력을 유지할 수 있는 구조적 기반을 갖추나가고 있다. 이처럼 NVIDIA 는 생태계를 확장하면서도 통제력을 유지하는 ‘개방을 가장한 통제’ 전략을 통해, 스케일 업 AI 인프라 시장에서의 독점적 우위를 지속적으로 강화해 나가고 있다.

V. 결론

AI 데이터센터의 미래를 보여주는 NVIDIA의 인터커넥트 전략

NVIDIA Photonics
로 보는 NVIDIA AI
데이터센터 스케일 아웃의
미래

AI 시대의 진정한 병목은 연산이 아니라 데이터의 이동에 있다. GPT-4, Llama 3, Gemini 와 같은 초대형 모델의 등장으로, AI 인프라는 수천 개의 GPU 를 서로 연결해야 하며, 이에 따라 네트워크 대역폭과 지연(Latency)이 새로운 병목 지점으로 부상하고 있다.

이 문제를 해결하기 위해 NVIDIA 는 두 가지 방향에서 동시에 전략을 전개하고 있다. 하나는 스케일 업 아키텍처 생태계를 확장하는 NVLink Fusion, 다른 하나는 광 인터커넥트를 기반으로 한 스케일 아웃 네트워크로의 전환 전략, 즉 NVIDIA Photonics 이다.

특히 데이터센터의 스케일 아웃 네트워크는 이제 수 미터 이상 거리에서 고대역폭·저지연 통신이 필수적이다. 기존의 구리 기반 전기 인터커넥트는 거리, 대역폭, 전력 효율 측면에서 이미 한계에 도달했으며, 이러한 한계를 근본적으로 극복할 수 있는 기술로 실리콘 포토닉스와 함께 CPO(Co-Packaged Optics)가 부상하고 있다. NVIDIA 는 2025 년

GTC 에서 CPO 기반의 스위치를 필두로 한 네트워크 플랫폼을 공개하며, 실리콘 포토닉스와 CPO 를 자사의 네트워크 로드맵의 핵심 기술로 명확히 규정했다. 이는 단순한 기술 실험이 아니라, AI 스케일아웃 구조의 실질적인 대안이자 다음 세대 데이터센터 설계의 핵심으로 해석된다.

또한, NVIDIA 는 TSMC 와 함께 실리콘 포토닉스 및 CPO 기술 개발을 공동으로 추진하고 있으며, 이는 기존까지 미세공정 경쟁이 중심이었던 파운드리 산업 내에서 ‘광 기반 통신 기술’의 중요성이 빠르게 부각되는 이유이다.

실제로 주요 파운드리 기업들은 실리콘 포토닉스 기반 생태계 구축에 박차를 가하고 있다. GlobalFoundries(GFS)는 자사의 Fotonix™ 플랫폼을 통해 Ayar Labs, PsiQuantum 등과 협력하며, 45nm/90nm 기반 포토닉 회로 공정(45CLO, 90WG)의 대량 양산을 주도하고 있다. Intel(INTC) 역시 실리콘 포토닉스 트랜시버를 이미 상용화하여 자사 플랫폼에 통합하고 있으며, 고성능 컴퓨팅 및 통신 시장을 겨냥한 실리콘 포토닉스 로드맵을 공개한 바 있다.

결국 NVIDIA 의 Photonics 전략은 인터커넥트의 전력 효율을 높이는 데 그치지 않고, AI 데이터센터 네트워크 아키텍처 전반의 패러다임 전환을 주도하는 출발점이 되고 있다.

NVLink Fusion을
통해 보는 NVIDIA의 AI
데이터센터 스케일 업 전략

스케일 업 아키텍처는 단순한 옵션이 아닌 데이터센터 경쟁력의 핵심으로 자리잡고 있다. NVIDIA 는 이러한 환경 변화에 대응하기 위해, AI 인프라를 구성하는 핵심 네트워크 생태계를 자사 중심으로 통제하려는 전략을 본격화하고 있다. 그 중심에 있는 기술이 바로 NVLink Fusion 이다.

NVLink Fusion 은 기존의 NVLink 기반 고속 인터커넥트를 한 단계 진화시킨 구조로 C2C(Chip-to-Chip) IP 를 이용하여, 다수의 ASIC, GPU, custom CPU 를 동기화된 단일 시스템처럼 동작하도록 연결할 수 있게 한다. 이 기술은 외형상 타사 CPU·GPU 에서 사용 가능한 개방형 아키텍처처럼 보이지만, 실질적으로는 NVIDIA 생태계에 대한 종속을 유도하는 폐쇄적 구조로 설계되어 있다.

즉, NVLink Fusion 은 타사 칩의 성능을 끌어올리는 동시에, 해당 칩을 NVIDIA 의 생태계로 끌어들이는 ‘조건부 개방’ 전략의 핵심 수단이다. 이러한 구조는 AMD, Intel, Broadcom, Microsoft 등이 주도하는 UALink 와 같은 완전 개방형 표준과는 뚜렷하게 대비된다.

결국 NVLink Fusion 은 스케일 업 기반 AI 네트워크 시장에서 NVIDIA 의 독주 체제를 더욱 공고히 하는 전략적 무기이며, 향후 AI 인프라 산업의 구조를 재편할 수 있는 기술이다.

AI 데이터센터의 미래를
보여주는 NVIDIA의
인터커넥트 전략

결론적으로, NVIDIA 는 NVIDIA Photonics 와 NVLink Fusion 이라는 두 축을 통해, AI 학습과 추론을 위한 모든 핵심 경로—칩 내부 연결, 패키지 내부 네트워크, 서버 간 스케일 아웃 연결—를 자사 기술 기반으로 잡고 있다. 이는 단순한 인터커넥트 기술 도입을 넘어, AI 인프라 전체의 구조를 NVIDIA 중심으로 통제하려는 전략적 행보로 해석할 수 있다.

VI. 수혜 산업과 기업

NVIDIA 는 AI 데이터센터의 핵심으로 부상한 네트워크 분야에서 CUDA 에 버금가는 새로운 해자를 구축하고 있다. 실리콘 포토닉스 및 CPO 제조 관점에서는 TSMC 와 Intel 이 양강 구도를 이루는 가운데, TSMC 가 패키징 기술과 양산 인프라에서 한발 앞선 주도권을 확보하고 있으며, GlobalFoundries 는 실리콘 포토닉스 트랜시버 중심의 ‘스페셜티 파운드리’로서 입지를 더욱 강화할 전망이다.

1. NVIDIA (NVDA)

스케일 업과 스케일 아웃을 완벽하게 통합하며, AI 데이터센터 네트워크 영역에서 CUDA 수준의 새로운 독점적 해자 구축 중

NVIDIA Photonics:
스케일 아웃 네트워크에서의
기술적 우위 확보 전략

NVIDIA 는 2025 년 하반기 출시 예정인 Quantum-X800 InfiniBand CPO 스위치를 시작으로, 2026 년에는 Spectrum-X Ethernet CPO 스위치까지 선보이며, 네트워킹 시장에서 후발주자들과의 기술 격차를 더욱 벌리려 하고 있다. NVIDIA 는 아직 CPO 와 NVIDIA Photonics 를 본격 도입하지 않았음에도 InfiniBand 를 통해 AI 데이터센터 네트워크

시장의 약 90%를 점유하고 있으며, Ethernet 영역에서도 빠르게 영향력을 넓히고 있다.

NVIDIA 는 자사의 Ethernet 스위치인 Spectrum-X 의 차별화된 기능을 앞세워, Ethernet 시장에서의 존재감을 확고히 다지고 있다. 특히, 적응형 라우팅(Adaptive Routing)과 혼잡 제어(Congestion Control) 기능을 통해 AI 워크로드 환경에서 기존 Ethernet 대비 약 1.6 배 향상된 네트워크 성능을 제공한다. 2023 년 5 월 출시된 Spectrum-X Ethernet 플랫폼은 불과 1 년 만에 수십억 달러 규모의 제품군으로 성장했으며, 이는 전통적으로 Cisco, Arista, Broadcom 이 장악해온 Ethernet 시장을 위협하고 있다.

특히 xAI 의 Colossus 시스템에서 10 만 개에 달하는 H100 GPU 를 Spectrum-X 스위치로 연결한 사례는, NVIDIA 의 Ethernet 솔루션이 대규모 AI 팩토리에도 적용 가능한 수준의 성숙도와 확장성을 갖췄음을 보여주는 대표적인 사례다.

또 Microsoft Azure 와 Oracle Cloud Infrastructure 가 Quantum-X800 InfiniBand 를 초기 도입한 것은, NVIDIA 의 InfiniBand 네트워크 솔루션이 기술력과 안정성 측면에서 업계의 신뢰를 받고 있음을 보여주는 사례다.

NVIDIA Photonics가 본격 도입되면, NVIDIA 의 네트워크 기술 경쟁력은 한층 강화될 것이다. 예컨대, Quantum-X800 CPO 스위치는 144 개 포트에서 포트당 800 Gb/s 를 지원하며, 총 115 Tb/s 에 달하는 대역폭을 제공한다. 기존 플러거블 트랜시버 기반 스위치와 비교해 신호 손실은 22 dB 에서 4 dB 로 줄고, 포트당 전력 소모는 10 W 에서 2 W 로 약 80% 감소해 차세대 AI 네트워크 인프라의 새로운 기준을 제시하고 있다.

도표 20. 10만개 GPU가 Spectrum-X 기반으로 연결된 xAI Colossus 시스템이 있는 AI 슈퍼 팩토리



자료 : xAI, 신영증권 리서치센터

NVLink Fusion:
스케일 업 생태계 주도권
강화 전략

또한 NVLink Fusion은 타사의 다양한 커스텀 실리콘에서도 NVLink를 활용할 수 있도록 하여, 해당 칩들이 자연스럽게 NVIDIA의 소프트웨어 스택에 의존하도록 설계된 구조다. NVLink 5.0은 GPU 당 최대 1.8 TB/s의 대역폭을 제공하는데, 이는 PCIe Gen5 대비 약 14 배에 달하는 속도로 AI 워크로드에서 발생하는 통신 병목을 획기적으로 줄여준다. 이러한 압도적인 성능 격차로 인해 하이퍼스케일러들이 NVLink Fusion을 대체할 인터페이스를 채택하기는 현실적으로 어렵다. 결국, NVIDIA 이외의 회사가 자체 커스텀 칩을 개발하더라도 NVIDIA 생태계에서 완전히 이탈하기 힘든 ‘소프트 락인(soft lock-in)’ 구조가 형성되고 있는 것이다.

NVIDIA의 네트워크
생태계 해자 구축 전략

NVIDIA는 AI 데이터센터 인프라에서 스케일 업과 스케일 아웃을 완벽하게 통합한 네트워크 아키텍처를 제시하고 있다. NVLink를 통해 72개의 GPU를 하나의 시스템처럼 연결한 뒤, 이를 CPO 기반의 InfiniBand 및 Ethernet 스위치로 자연스럽게 스케일 아웃하는 구조가 핵심이다. 이러한 ‘끊김 없는 확장(seamless expansion)’ 구조는 현재로서는 경쟁사들이 구현하기 어려운 NVIDIA만의 독보적인 차별화 포인트다.

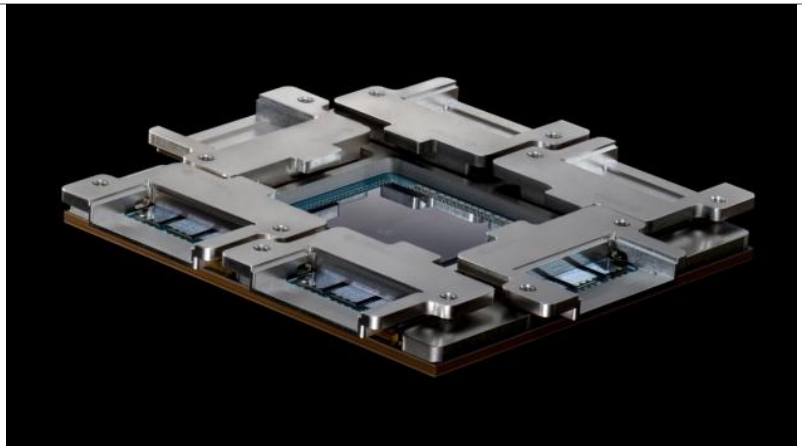
특히 NVIDIA Photonics를 통해 CPO의 상용화가 본격화되면서, 네트워크 시장의 패러다임 전환이 한층 더 빨라질 것으로 예상된다. NVIDIA는 2025년 하반기 Quantum-X800 InfiniBand 스위치, 2026년 Spectrum-X Ethernet 스위치에 CPO를 적용해 출시할 예정이며, 이를 통해 네트워크 시장 내 기술적·상업적 지배력을 더욱 강화할 전망이다.

동시에, NVLink Fusion의 확산은 외부 업체들이 NVLink를 채택하도록 유도해 이들의 ASIC 성능을 높이는 데 기여할 것이다. 그러나 이러한

채택은 단순한 기술 수용을 넘어, 해당 칩들이 NVIDIA 의 독자적 네트워크 생태계인 NVLink 에 의존하게 만드는 구조로 설계되어 있어, 결과적으로 AI 용 연산 칩들의 NVIDIA 생태계에 대한 종속은 더욱 강화될 수밖에 없다.

결국, NVIDIA 의 CPO 선제 도입과 NVLink Fusion 전략은 하드웨어에서 확보한 우위를 생태계 락인(lock-in)으로 전환하는 계산된 수직 통합 전략으로 보인다. 이러한 기술 기반의 생태계 구축은 과거 CUDA 를 통해 연산 플랫폼을 장악했던 것과 마찬가지로, AI 데이터센터 네트워크 분야에서도 NVIDIA 가 독점적 지위를 지속하게 만드는 핵심 동력이 될 것이다.

도표 21. NVIDIA Quantum-X800 InfiniBand CPO 스위치



자료 : NVIDIA, 신영증권 리서치센터

2. TSMC (TSM)

COUPE 기술을 앞세워 CPO 시장의 표준 파운드리로 자리매김 중

TSMC 는 2024 년 4 월, COUPE(Compact Universal Photonic Engine)을 공개하며 실리콘 포토닉스 시장에 본격 진입했다. 동시에, 2025 년 1.6 Tbps, 2026 년 6.4 Tbps 까지 이어지는 단계적인 CPO 기술 로드맵도 제시했다.

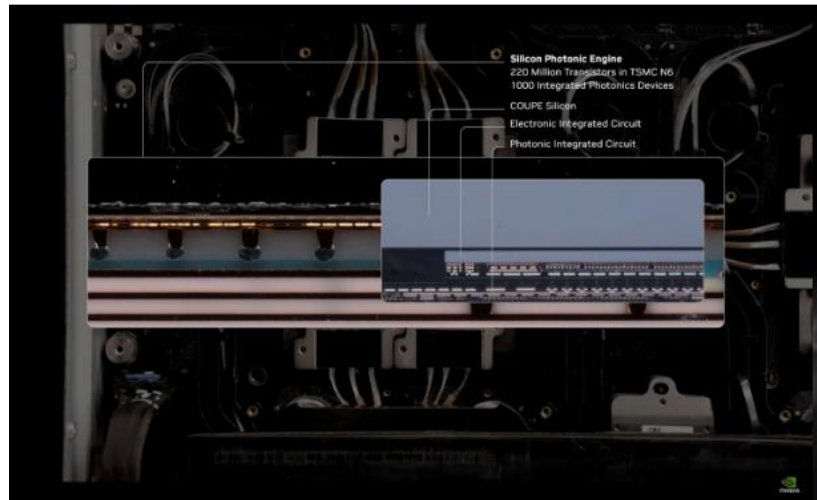
COUPE 은 전자 회로(EIC)와 광 회로(PIC)를 TSMC 의 SoIC-X 패키징 기술로 수직 결합하여, 신호 손실을 줄이고 에너지 효율을 크게

향상시키는 구조다. NVIDIA 는 자사 광통신 플랫폼인 NVIDIA Photonics 에 TSMC 의 COUPE 공정을 적용한다고 공식 발표했다.

TSMC 는 NVIDIA, Broadcom 등 주요 고객사와 CPO 공동 개발을 통해 기술 신뢰성을 확보하는 한편, Synopsys, Cadence, Ansys 와 함께 포토닉스용 PDK (Process Design Kit, 공정 설계 키트) 생태계도 구축하고 있다. 이를 통해 기존 고객들이 손쉽게 TSMC 플랫폼으로 전환할 수 있는 설계 기반을 마련하고 있다.

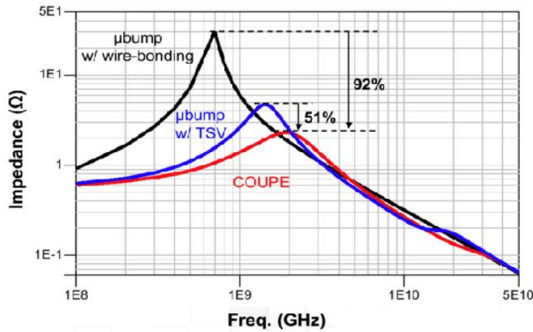
압도적인 양산 능력과 첨단 패키징 기술 인프라를 바탕으로, TSMC 는 빠르게 CPO 시장 점유율을 확대 중이며, 향후 실리콘 포토닉스 기반 CPO 분야에서 표준 파운드리로 자리매김할 가능성이 크다.

도표 22. NVIDIA Photonics에 적용된 TSMC COUPE 공정



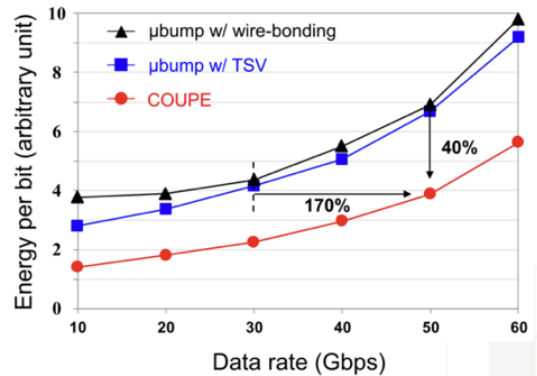
자료 : NVIDIA, 신영증권 리서치센터

도표 23. COUPE 적용 시 신호 주파수에 따른 Impedance(저항) 특성 (신호 손실 감소 효과)



자료 : Hsia.H et al "Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC", ECTC, 2021, 신영증권 리서치센터

도표 24. COUPE 적용 시 증가하는 전력 효율



자료 : Hsia.H et al "Heterogeneous Integration of a Compact Universal Photonic Engine for Silicon Photonics Applications in HPC", ECTC, 2021, 신영증권 리서치센터

3. GlobalFoundries (GFS)

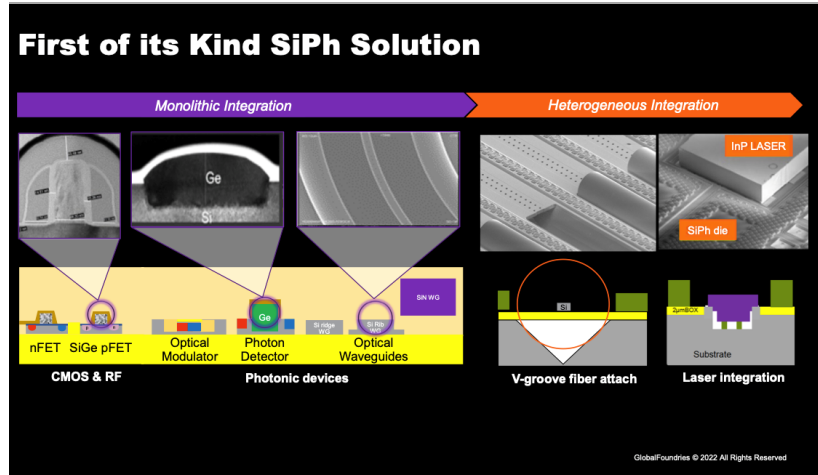
GF Fotonix™ 플랫폼을 기반으로 실리콘 포토닉스용 파운드리 시장 선점을 노리는 중

GlobalFoundries(GFS)는 Fotonix™ 플랫폼을 통해 실리콘 포토닉스 파운드리 시장에서 선도적 입지를 구축하고 있다. GlobalFoundries 는 Ayar Labs, PsiQuantum, Broadcom, Marvell, NVIDIA 등과 긴밀하게 협력하여 AI 칩 주변의 고속 광 인터페이스에 대응하는 차세대 공정 (90nm 및 45nm 공정 기반의 포토닉스 플랫폼)과 패키징·검사 기술을 연이어 상용화 중이다.

다만 GFS 는 상대적으로 구형 공정 노드를 사용하고 있으며, 최첨단 패키징 기술 역량이 부족하다는 한계를 안고 있다. 실리콘 포토닉스 공정 자체는 반드시 최신 공정을 요구하지는 않지만, CPO 처럼 다양한 이중 칩을 하나의 패키지에 고밀도로 통합해야 하는 분야에서는 고도화된 패키징 기술이 필수적이다. 이 측면에서, 최신 CMOS 공정과 고성능 패키징 역량을 모두 갖춘 TSMC 나 Intel 에 비해 CPO 기반의 시스템 수준 광통신 시장에서 GlobalFoundries 의 경쟁력은 다소 제한적일 수 있다.

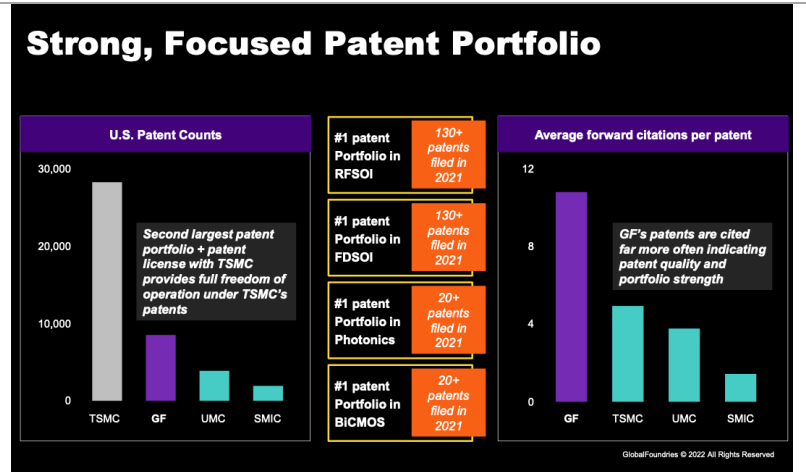
결과적으로 GlobalFoundries 는 광 트랜시버와 틈새 시장에 집중하겠지만, 고성능 AI 용 CPO 시장에서는 기술력과 확장성에서 TSMC 나 Intel 에 비해 불리한 위치에 놓일 수 있다.

도표 25. GlobalFoundries의 실리콘 포토닉스 공정



자료 : GlobalFoundries, 신영증권 리서치센터

도표 26. RFSOI, FDSOI, 실리콘 포토닉스 등 특수 파운드리 분야에서 기술적 우위를 가진 GlobalFoundries의 특허 포트폴리오



자료 : GlobalFoundries, 신영증권 리서치센터

4. Intel (INTC)

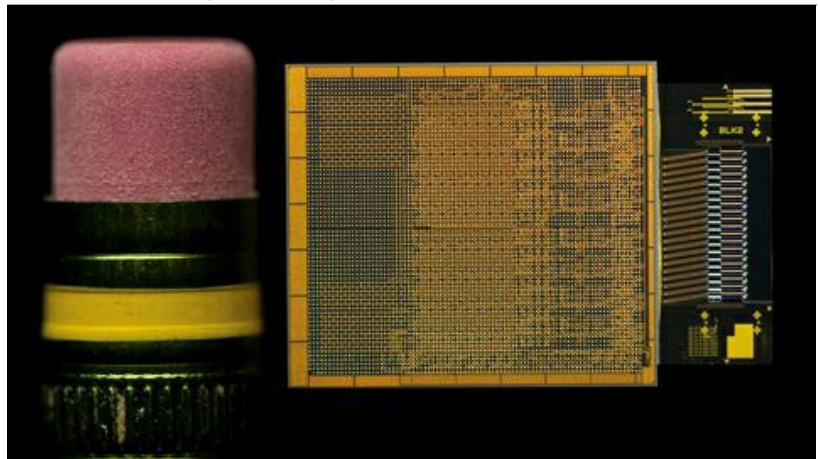
설계·제조·패키징을 수직 통합한 '올인원 포토닉스'로 경쟁력 강화 중

Intel 은 2023 년, 트랜시버 사업을 Jabil 에 매각하는 등 기존 플러그형 광모듈 사업을 정리하고, 실리콘 포토닉스와 첨단 패키징 기술 기반의 차세대 광통신 기술인 OCI(Optical Compute Interconnect) 개발로 전략을 전환했다. OCI는 실리콘 포토닉스 칩(PIC)과 전자 회로 칩(EIC)을 이중 집적한 구조로, Intel 의 고속 인터커넥트 기술인 EMIB 과 3D 적층

패키징 기술인 Foveros 를 활용해 CPU 및 GPU 와 직접 연결할 수 있는 것이 특징이다.

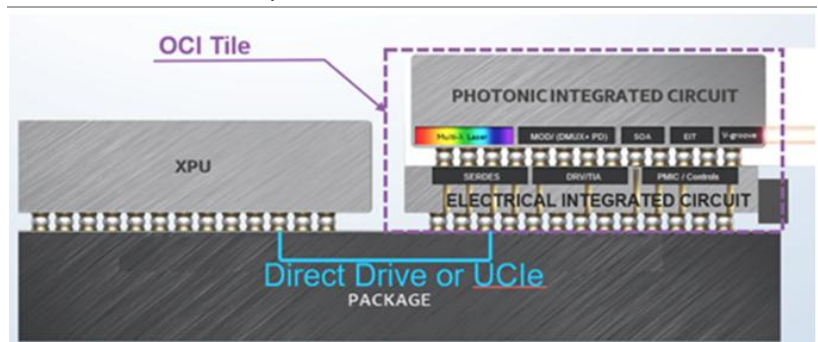
Intel은 레이저와 광증폭기를 칩 내부에 직접 내장한 통합 구조를 통해, 외부 광원 없이도 4Tbps의 양방향 속도와 5pJ/bit의 높은 에너지 효율을 구현하는 데 성공했다. 이런 구조는 외부 광원이 필요 없어 서버 발열과 패키징 복잡성을 동시에 줄일 수 있다는 점에서 기술적으로 뚜렷한 차별성을 갖는다. ‘레이저 내장 + 칩 통합 + 자체 공정’이라는 세 가지 요소를 모두 충족한 Intel의 올인원 광통신 시스템은, 고성능 AI 데이터센터 시장에서 핵심적인 차별화 포인트가 될 수 있다. 다만, 실제 양산을 위해서는 차세대 공정인 18A의 안정화와 패키징 수율 확보가 선행되어야 하며, 상용화는 2026년 이후로 전망된다.

도표 27. Intel의 Optical Compute Interconnect (OCI) 칩렛 실물 사진



자료 : Intel, 신영증권 리서치센터

도표 28. Intel OCI tile 구조도



자료 : Intel, 신영증권 리서치센터

VI. Appendix

NVIDIA (NVDA)

도표 29. Key Data

시가총액(bill USD)	4,206.8
Shares(백만주)	24,400.0
52 주 최고 / 최저(USD)	174.3 / 86.6
PER(배)	55.4
배당수익률(%)	0.02
국가	미국
상장거래소	NASDAQ GS

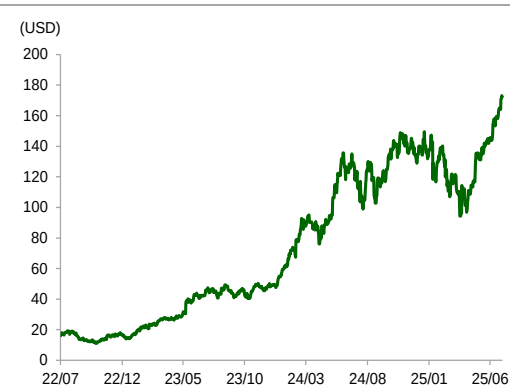
주) 2025.07.18 기준, PER 은 LTM PER 기준
자료 : Bloomberg, 신영증권 리서치센터

도표 30. 실적 및 밸류에이션

결산기(1 월)	2023A	2024A	2025A	2026F	2027F
매출액(bill USD)	27.0	60.9	130.5	200.6	252.0
영업이익(bill USD)	4.2	33.0	81.5	125.5	167.5
순이익(bill USD)	4.4	29.8	72.9	106.4	133.6
EPS(USD)	0.2	1.2	3.0	4.3	5.6
ROE(%)	26.7	92.2	119.0	84.4	68.2
PER(배)	78.7	50.7	48.6	37.8	28.4
PBR(배)	22.7	35.0	44.0	27.3	17.2

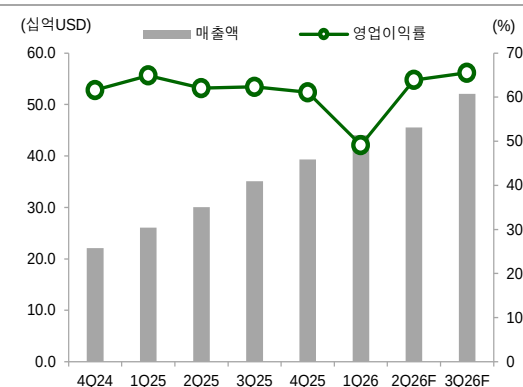
주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 31. 주가 추이



자료 : Bloomberg, 신영증권 리서치센터

도표 32. 분기별 실적 추이 및 전망



주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 33. 사업 부문별 매출 비중 (FY 1Q26)

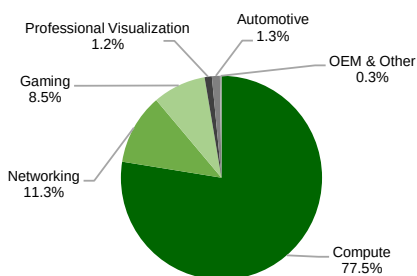
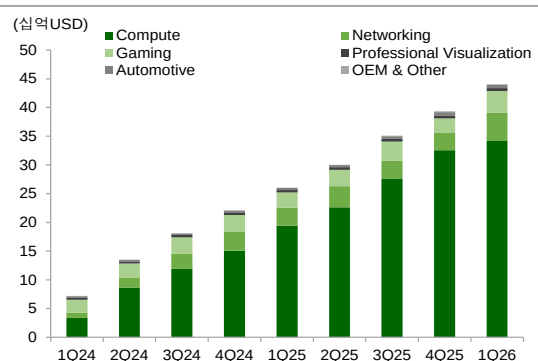


도표 34. 사업 부문별 매출 추이



자료 : Bloomberg, 신영증권 리서치센터

자료 : Bloomberg, 신영증권 리서치센터

도표 35. 분기별 실적 전망

(단위: 십억 USD)

CY	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25	2024A	2025F	2026F
FY	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25	2Q 25	3Q 25	4Q 25	1Q 26	2025A	2026F	2027F
매출액	7.2	13.5	18.1	22.1	26.0	30.0	35.1	39.3	44.1	130.5	200.6	252.0
영업이익	2.1	6.8	10.4	13.6	16.9	18.6	21.9	24.0	21.6	81.5	125.5	167.5
영업이익률(%)	29.8	50.3	57.5	61.6	64.9	62.1	62.3	61.1	49.1	62.4	62.6	66.5
세전이익	2.2	7.0	10.5	14.1	17.3	19.2	22.3	25.2	21.9	84.0	126.2	166.9
당기순이익	2.0	6.2	9.2	12.3	14.9	16.6	19.3	22.1	18.8	72.9	101.6	133.6
YoY(%)												
매출액	-13.2	101.5	205.5	265.3	262.1	122.4	93.6	77.9	69.2	114.2	53.7	25.6
영업이익	14.6	1,262.7	1,633.3	983.1	690.1	174.1	109.9	76.5	28.0	147.0	54.1	33.5
세전이익	22.4	1,369.7	1,616.5	994.3	682.2	175.2	112.1	78.8	26.8	148.5	50.1	32.3
당기순이익	26.3	843.3	1,259.3	768.8	628.4	168.2	108.9	79.8	26.2	144.9	39.4	31.6
ROA(%)	10.7	22.2	39.9	55.7	70.1	78.7	84.0	82.2	75.9	82.2	66.2	55.9
ROE(%)	18.9	40.2	69.2	91.5	115.7	123.8	127.2	119.2	115.5	119.2	84.4	68.2
PER	127.6	106.5	51.6	50.6	51.1	53.0	55.7	48.5	35.7	48.6	37.8	28.4
PBR	28.0	42.0	30.0	35.0	44.2	47.7	52.6	44.0	32.3	44.0	27.3	17.2

주) GAAP 기준, FY 기준(결산기 1 월), 컨센서스 수치는 블룸버그 수치 사용

자료 : Bloomberg, 신영증권 리서치센터

TSMC (TSM)

도표 36. Key Data

시가총액(bill USD)	1,246.8
Shares(백만주)	5,186.5
52 주 최고 / 최저(USD)	248.3 / 133.6
PER(배)	20.4
배당수익률(%)	1.1
국가	대만
상장거래소	New York

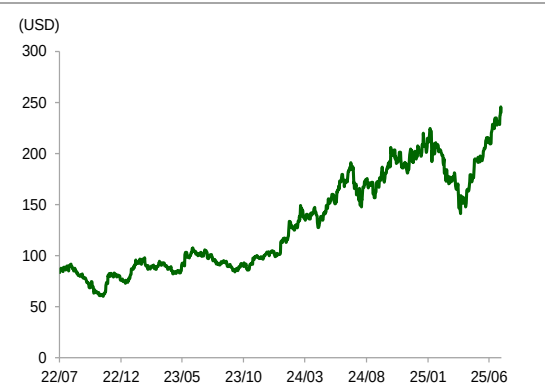
주) 2025.07.18 기준, PER 은 LTM PER 기준
 자료 : Bloomberg, 신영증권 리서치센터

도표 37. 실적 및 밸류에이션

결산기(12 월)	2022A	2023A	2024A	2025F	2026F
매출액(bill USD)	76.0	69.4	90.1	124.9	144.6
영업이익(bill USD)	37.6	29.6	41.2	59.2	67.5
순이익(bill USD)	34.1	26.9	36.5	51.9	59.3
EPS(USD)	1.3	1.0	1.4	2.0	2.3
ROE(%)	39.8	26.2	30.3	30.8	29.1
PER(배)	11.4	18.3	23.8	18.7	16.3
PBR(배)	3.9	4.4	6.5	5.3	4.4

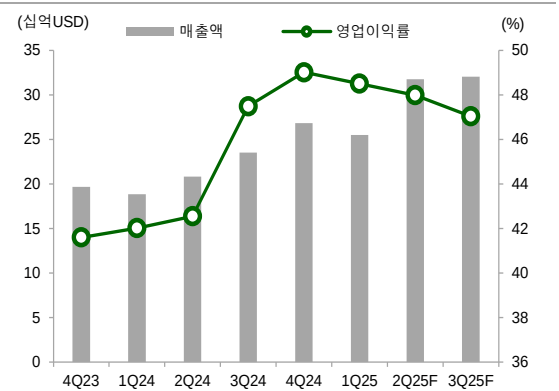
주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

도표 38. 주가 추이



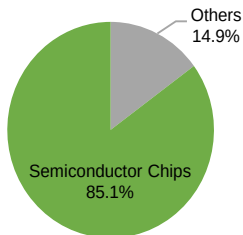
자료 : Bloomberg, 신영증권 리서치센터

도표 39. 분기별 실적 추이 및 전망



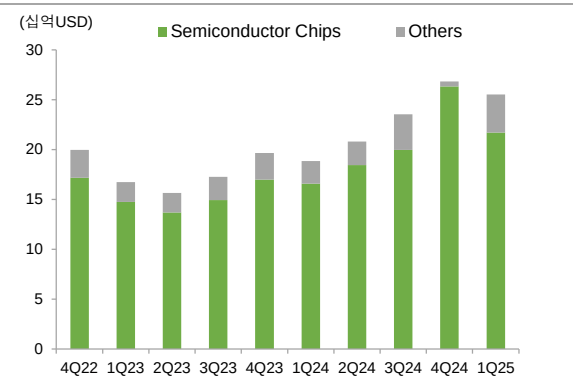
주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
 자료 : Bloomberg, 신영증권 리서치센터

도표 40. 사업 부문별 매출 비중 (FY 1Q25)



자료 : Bloomberg, 신영증권 리서치센터

도표 41. 사업 부문별 매출 추이



자료 : Bloomberg, 신영증권 리서치센터

도표 42. 분기별 실적 전망

(단위: 십억 USD)

기준	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25	2024A	2025F	2026F
매출액	16.7	15.7	17.3	19.7	18.8	20.8	23.5	26.8	25.5	90.1	124.9	144.6
영업이익	7.6	6.6	7.2	8.2	7.9	8.9	11.2	13.2	12.4	41.2	59.2	67.5
영업이익률(%)	45.5	42.0	41.7	41.6	42.0	42.5	47.5	49.0	48.5	45.7	47.4	46.7
세전이익	8.0	7.0	7.6	8.7	8.5	9.5	11.9	13.9	13.1	43.8	61.8	70.1
당기순이익	6.8	5.9	6.7	7.5	7.2	7.7	10.1	11.6	11.0	36.5	51.9	59.3
YoY(%)												
매출액	3.6	-10.0	-10.8	0.0	16.5	40.1	39.0	38.8	41.6	33.9	38.6	15.8
영업이익	3.3	-23.0	-26.5	-19.9	7.7	41.9	58.2	63.6	63.5	43.5	43.8	14.1
세전이익	-0.7	-22.6	-26.7	-18.1	5.5	35.5	55.7	58.5	54.5	39.3	41.3	13.5
당기순이익	2.1	-23.3	-24.9	-19.3	8.9	36.3	54.2	57.0	60.3	39.9	42.0	14.4
ROA(%)	22.6	20.3	17.7	16.0	15.8	16.6	17.8	19.2	20.3	19.2	20.6	20.3
ROE(%)	37.9	34.0	29.4	26.2	25.5	26.4	28.3	30.3	31.9	30.3	30.8	29.1
PER	13.5	15.5	15.1	18.3	23.6	27.1	23.9	23.8	18.0	23.8	18.6	16.2
PBR	4.5	4.7	4.1	4.4	5.6	6.6	6.2	6.5	5.2	6.5	5.2	4.4

주) GAAP 기준, FY 기준(결산기 12 월), 컨센서스 수치는 블룸버그 수치 사용

자료 : Bloomberg, 신영증권 리서치센터

GlobalFoundries (GFS)

도표 43. Key Data

시가총액(bill USD)	22.4
Shares(백만주)	554.9
52 주 최고 / 최저(USD)	57.0 / 29.8
PER(배)	29.9
배당수익률(%)	N/A
국가	미국
상장거래소	NASDAQ GS

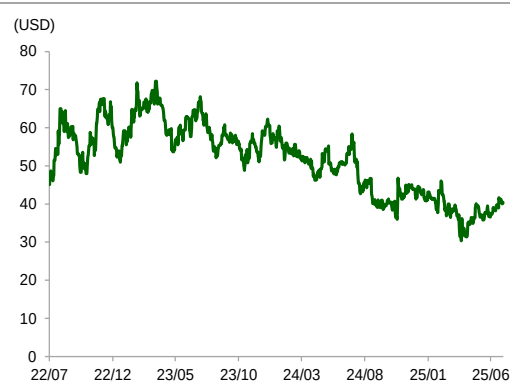
주) 2025.07.18 기준, PER 은 LTM PER 기준
자료 : Bloomberg, 신영증권 리서치센터

도표 44. 실적 및 밸류에이션

결산기(12 월)	2022A	2023A	2024A	2025F	2026F
매출액(bill USD)	8.1	7.4	6.8	6.9	7.6
영업이익(bill USD)	1.2	1.1	-0.2	1.1	1.5
순이익(bill USD)	1.4	1.0	-0.3	0.8	1.1
EPS(USD)	2.7	1.9	-0.5	1.4	1.9
ROE(%)	16.2	9.7	-2.4	7.8	10.0
PER(배)	24.4	30.7	39.1	26.1	19.2
PBR(배)	3.0	3.0	2.2	1.9	1.8

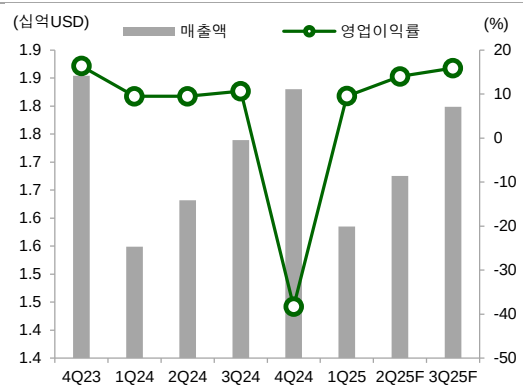
주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 45. 주가 추이



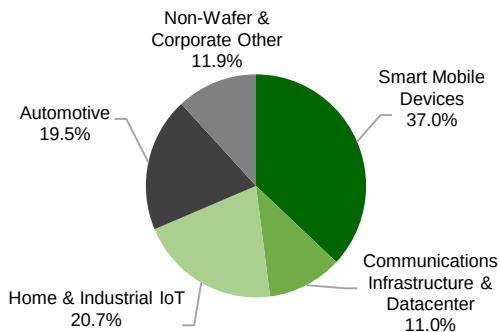
자료 : Bloomberg, 신영증권 리서치센터

도표 46. 분기별 실적 추이 및 전망



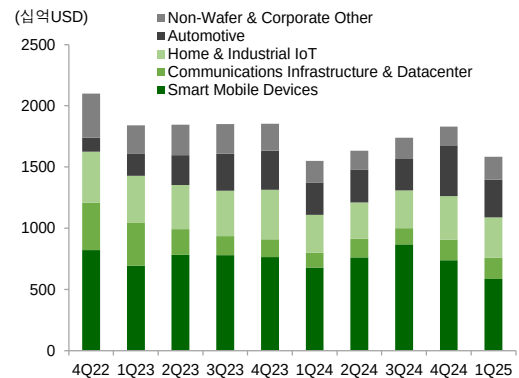
주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 47. 사업 부문별 매출 비중 (FY 1Q25)



자료 : Bloomberg, 신영증권 리서치센터

도표 48. 사업 부문별 매출 추이



자료 : Bloomberg, 신영증권 리서치센터

도표 49. 분기별 실적 전망

(단위: 십억 USD)

기준	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25	2024A	2025F	2026F
매출액	1.8	1.8	1.9	1.9	1.5	1.6	1.7	1.8	1.6	6.8	6.9	7.6
영업이익	0.3	0.3	0.3	0.3	0.1	0.2	0.2	-0.7	0.2	-0.2	1.1	1.5
영업이익률(%)	15.8	14.9	14.1	16.3	9.5	9.5	10.6	-38.3	9.5	-3.2	15.2	19.2
세전이익	0.3	0.3	0.2	0.3	0.2	0.2	0.2	-0.7	0.2	-0.2	1.1	1.5
당기순이익	0.3	0.2	0.2	0.3	0.1	0.2	0.2	-0.7	0.2	-0.3	0.8	1.1
YoY(%)												
매출액	-5.1	-7.4	-10.7	-11.8	-15.9	-11.5	-6.1	-1.3	2.3	-8.7	2.7	9.9
영업이익	28.9	-7.4	-26.9	5.2	-49.3	-43.6	-29.1	—	2.7	—	—	39.0
세전이익	33.8	-9.9	-31.5	-55.8	-44.0	-37.0	-19.8	—	25.8	—	—	33.7
당기순이익	42.7	-9.1	-26.1	-58.5	-47.6	-35.4	-28.9	—	57.9	—	—	32.7
ROA(%)	9.0	8.8	8.1	5.7	5.0	4.6	4.1	-1.5	-1.1	-1.5	5.1	6.8
ROE(%)	16.4	15.7	14.2	9.7	8.4	7.5	6.6	-2.4	-1.7	-2.4	7.8	10.0
PER	30.6	27.6	26.3	30.0	29.1	31.3	27.6	36.1	27.3	39.1	26.1	19.2
PBR	3.9	3.4	3.0	3.0	2.6	2.5	1.9	2.2	1.8	2.2	1.9	1.8

주) GAAP 기준, FY 기준(결산기 12 월), 컨센서스 수치는 블룸버그 수치 사용

자료 : Bloomberg, 신영증권 리서치센터

Intel (INTC)

도표 50. Key Data

시가총액(bill USD)	100.8
Shares(백만주)	4,362.0
52 주 최고 / 최저(USD)	33.4 / 17.7
PER(배)	N/A
배당수익률(%)	0.5
국가	미국
상장거래소	NASDAQ GS

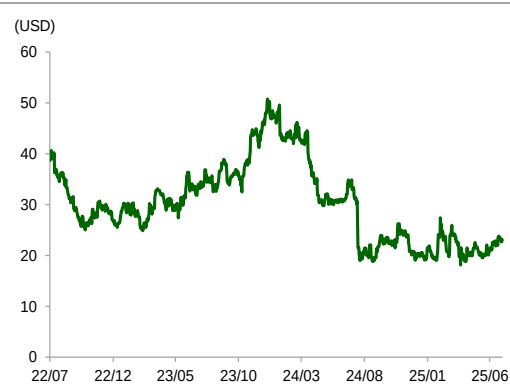
주) 2025.07.18 기준, PER 은 LTM PER 기준
자료 : Bloomberg, 신영증권 리서치센터

도표 51. 실적 및 밸류에이션

결산기(12 월)	2022A	2023A	2024A	2025F	2026F
매출액(bill USD)	63.1	54.2	53.1	50.6	53.4
영업이익(bill USD)	2.3	0.1	-11.7	2.1	5.1
순이익(bill USD)	8.0	1.7	-18.8	-3.0	0.1
EPS(USD)	2.0	0.4	-4.4	-0.5	0.1
ROE(%)	8.1	1.6	-18.3	0.4	3.0
PER(배)	28.4	143.3	-	73.9	27.4
PBR(배)	1.1	2.0	0.9	0.9	0.9

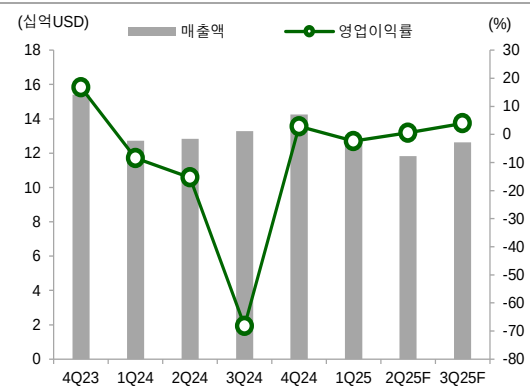
주) GAAP 기준, FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 52. 주가 추이



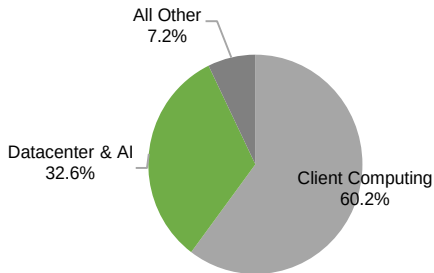
자료 : Bloomberg, 신영증권 리서치센터

도표 53. 분기별 실적 추이 및 전망



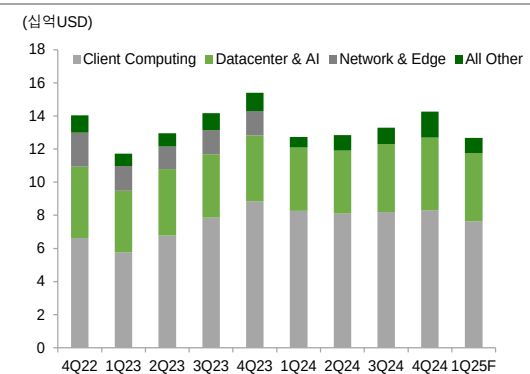
주) FY 기준, 컨센서스 수치는 블룸버그 수치 사용
자료 : Bloomberg, 신영증권 리서치센터

도표 54. 사업 부문별 매출 비중 (FY 1Q25)



자료 : Bloomberg, 신영증권 리서치센터

도표 55. 사업 부문별 매출 추이



자료 : Bloomberg, 신영증권 리서치센터

도표 56. 분기별 실적 전망

(단위: 십억 USD)

기준	1Q 23	2Q 23	3Q 23	4Q 23	1Q 24	2Q 24	3Q 24	4Q 24	1Q 25	2024A	2025F	2026F
매출액	11.7	12.9	14.2	15.4	12.7	12.8	13.3	14.3	12.7	53.1	50.6	53.4
영업이익	-1.5	-1.0	0.0	2.6	-1.1	-2.0	-9.1	0.4	-0.3	-11.7	2.1	5.1
영업이익률(%)	-12.5	-7.8	-0.1	16.8	-8.4	-15.3	-68.2	2.9	-2.4	-22.0	4.1	9.6
세전이익	-1.2	-0.8	-0.1	2.8	-0.7	-2.0	-9.1	0.6	-0.6	-11.2	1.4	4.8
당기순이익	-2.8	1.5	0.3	2.7	-0.4	-1.6	-16.6	-0.1	-0.8	-18.8	-3.0	0.1
YoY(%)												
매출액	-36.2	-15.5	-7.7	9.7	8.6	-0.9	-6.2	-7.4	-0.4	-2.1	-4.8	5.7
영업이익	—	-45.1	95.4	—	27.2	-93.3	-113,112.5	-84.1	71.8	—	—	147.5
세전이익	—	10.2	72.3	—	37.9	-145.6	-17,373.1	-78.5	18.5	—	—	240.5
당기순이익	—	—	-70.9	—	86.2	—	—	—	-115.5	—	83.9	—
ROA(%)	-1.6	-0.5	-0.9	0.9	2.2	0.5	-8.3	-9.7	-10.0	-9.7	0.3	1.5
ROE(%)	-2.8	-0.9	-1.6	1.6	4.0	0.9	-15.9	-18.3	-18.7	-18.3	0.4	3.0
PER	—	—	—	415.7	44.3	60.6	—	—	—	—	73.9	27.4
PBR	1.4	1.4	1.5	2.0	1.8	1.1	1.0	0.9	1.0	0.9	0.9	0.9

주) GAAP 기준, FY 기준(결산기 12 월), 컨센서스 수치는 블룸버그 수치 사용

자료 : Bloomberg, 신영증권 리서치센터

Compliance Notice

이 조사자료는 고객의 투자에 참고가 될 수 있는 각종 정보제공을 목적으로 제작되었습니다. 이 조사자료는 당사의 리서치센터가 신뢰할 수 있는 자료 및 정보로부터 얻어진 것이나, 당사가 그 정확성이나 완전성을 보장할 수 없으므로 투자자 자신의 판단과 책임하에 종목 선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 이 조사자료는 어떠한 경우에도 고객의 증권투자 결과에 대한 법적 책임소재의 증빙자료로 사용될 수 없습니다. 이 조사자료의 지적재산권은 당사에 있으므로 당사의 허락없이 무단 복제 및 배포할 수 없습니다.